

**Family list****11** family members for:**JP2001250777**

Derived from 9 applications.

- 1 Production method for semiconductor device**  
Publication info: AU2231201 A - 2001-07-09
- 2 Production method for semiconductor device**  
Publication info: CN1437761 A - 2003-08-20
- 3 Production method for semiconductor device**  
Publication info: CN1722368 A - 2006-01-18
- 4 METHOD FOR CREATING SEMICONDUCTOR DEVICE**  
Publication info: JP2001250777 A - 2001-09-14
- 5 No English title available**  
Publication info: TW473800 B - 2002-01-21
- 6 Production method for semiconductor device**  
Publication info: US6787407 B2 - 2004-09-07  
US2003143794 A1 - 2003-07-31
- 7 Method of manufacturing a semiconductor device**  
Publication info: US6821827 B2 - 2004-11-23  
US2001034088 A1 - 2001-10-25
- 8 Method of manufacturing a semiconductor device**  
Publication info: US2005054181 A1 - 2005-03-10
- 9 PRODUCTION METHOD FOR SEMICONDUCTOR DEVICE**  
Publication info: WO0148797 A1 - 2001-07-05

---

Data supplied from the *esp@cenet* database - Worldwide

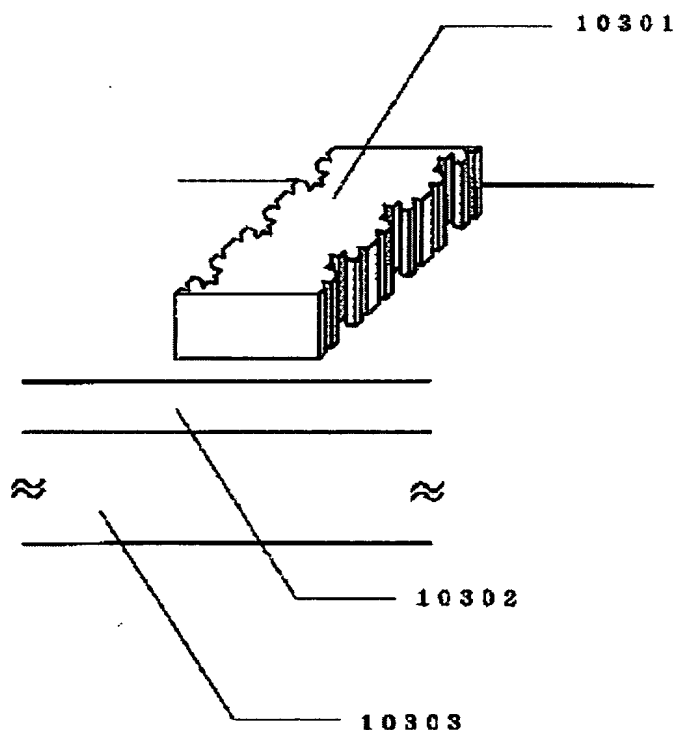
## METHOD FOR CREATING SEMICONDUCTOR DEVICE

**Patent number:** JP2001250777  
**Publication date:** 2001-09-14  
**Inventor:** NAKAMURA OSAMU; KATSUMURA MANABU;  
 YAMAZAKI SHUNPEI  
**Applicant:** SEMICONDUCTOR ENERGY LAB  
**Classification:**  
 - international: **G02F1/1368; G09F9/30; H01L21/20; H01L21/322;  
 H01L21/336; H01L29/786; G02F1/13; G09F9/30;  
 H01L21/02; H01L29/66; (IPC1-7): H01L21/20;  
 G02F1/1368; G09F9/30; H01L21/322; H01L21/336;  
 H01L29/786**  
 - european:  
**Application number:** JP20000400307 20001228  
**Priority number(s):** JP20000400307 20001228; JP19990375607 19991228

Report a data error here

### Abstract of JP2001250777

**PROBLEM TO BE SOLVED:** To provide a method for creating a semiconductor device with improved gettering efficiency. **SOLUTION:** When phosphor is added into a poly-Si film crystallized by adding metal, and heat treatment is made for gettering, the shape of an island- shaped insulation film on the poly-Si film used when implanting phosphor is carefully designed, thus increasing the area of the boundary surface between a region where phosphor is added and a region where no phosphors are added, and improving gettering efficiency.



Data supplied from the *esp@cenet* database - Worldwide

(19) 日本国特許庁 (J P)

## (12) 公開特許公報 (A)

(11) 特許出願公開番号

特開2001-250777

(P 2 0 0 1 - 2 5 0 7 7 7 A)

(43) 公開日 平成13年9月14日 (2001.9.14)

(51) Int. Cl. <sup>7</sup>	識別記号	F I	テ-マ-コード (参考)
H01L 21/20		H01L 21/20	
G02F 1/1368		G09F 9/30	338
G09F 9/30	338	H01L 21/322	R
H01L 21/322		G02F 1/136	500
29/786		H01L 29/78	627 Z
審査請求 未請求 請求項の数 9 O L (全34頁) 最終頁に続く			

(21) 出願番号 特願2000-400307 (P 2000-400307)

(22) 出願日 平成12年12月28日 (2000.12.28)

(31) 優先権主張番号 特願平11-375607

(32) 優先日 平成11年12月28日 (1999.12.28)

(33) 優先権主張国 日本 (J P)

(71) 出願人 000153878

株式会社半導体エネルギー研究所  
神奈川県厚木市長谷398番地

(72) 発明者 中村 理

神奈川県厚木市長谷398番地 株式会社半  
導体エネルギー研究所内

(72) 発明者 勝村 学

神奈川県厚木市長谷398番地 株式会社半  
導体エネルギー研究所内

(72) 発明者 山崎 舜平

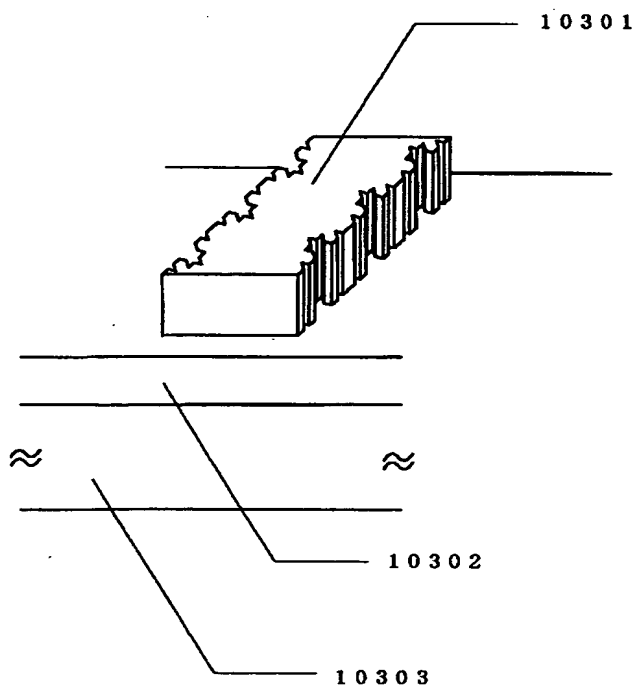
神奈川県厚木市長谷398番地 株式会社半  
導体エネルギー研究所内

(54) 【発明の名称】 半導体装置の作製方法

(57) 【要約】

【課題】 ゲッタリング効率の良い半導体装置の作製方法を提供する。

【解決手段】 金属を添加して結晶化したpoly-Si膜中に、リンを添加し加熱処理をしてゲッタリングをする場合に、燐を打ち込む際に用いるpoly-Si膜上の島状絶縁膜の形状に工夫を施す。それにより、燐が添加された領域と添加されていない領域の境界面の面積を増大し、ゲッタリングの効率を高める。



## 【特許請求の範囲】

【請求項1】珪素を主成分とする非晶質構造を有する半導体薄膜を形成する工程と、前記非晶質構造を有する半導体薄膜に金属を添加する工程と、前記非晶質構造を有する半導体薄膜を、第1の加熱処理により珪素を主成分とする結晶質半導体薄膜を形成する工程と、島状の絶縁膜を形成する工程と、前記島状の絶縁膜をマスクとして、非金属元素または該非金属元素のイオンを前記結晶質半導体薄膜に添加して、前記結晶質半導体薄膜に非金属元素または該非金属元素のイオンが添加された領域を形成する工程と、前記結晶質半導体薄膜に第2の加熱処理をして、前記非金属元素または該非金属元素のイオンが添加された領域に前記金属をゲッタリングする工程とを有し、前記結晶質半導体薄膜の表面と平行な面に対する前記島状の絶縁膜の形状が頂点の数 $n$  ( $n > 20$ ) 個を有する多角形であって、かつ該頂点のうち内角が $180$ 度以上である頂点の数 $m$  ( $m > 8$ ) 個を有する多角形であることを特徴とする半導体装置の作製方法。

【請求項2】請求項1において、前記金属はニッケル(Ni)、コバルト(Co)、パラジウム(Pd)、白金(Pt)、銅(Cu)であることを特徴とする半導体装置の作製方法。

【請求項3】請求項1において、前記第1の加熱処理は $400^{\circ}\text{C}$ 以上 $700^{\circ}\text{C}$ 以下であることを特徴とする半導体装置の作製方法。

【請求項4】請求項1において、前記非金属元素または非金属元素イオンはボロン(B)、珪素(Si)、燐(P)、ヒ素(As)、ヘリウム(He)、ネオン(Ne)、アルゴン(Ar)、クリプトン(Kr)、キセノン(Xe)から選ばれた1種または複数種であることを特徴とする半導体装置の作製方法。

【請求項5】請求項1において、前記第2の加熱処理は $400^{\circ}\text{C}$ 以上 $1000^{\circ}\text{C}$ 以下であることを特徴とする半導体装置の作製方法。

【請求項6】珪素を主成分とする非晶質構造を有する半導体薄膜を形成する工程と、前記非晶質構造を有する半導体薄膜に金属を添加する工程と、前記非晶質構造を有する半導体薄膜を、第1の加熱処理により珪素を主成分とする結晶質半導体薄膜を形成する工程と、島状の絶縁膜を形成する工程と、前記島状の絶縁膜をマスクとして、非金属元素または該非金属元素のイオンを前記結晶質半導体薄膜に添加して、前記結晶質半導体薄膜に非金属元素または該非金属元素のイオンが添加された領域を形成する工程と、前記結晶質半導体薄膜に第2の加熱処理をして、前記非金属元素または該非金属元素のイオンが添加された領域に前記金属をゲッタリングする工程とを有することを特徴とする半導体装置の作製方法。

【請求項7】請求項6において、前記金属はニッケル(Ni)、コバルト(Co)、パラジウム(Pd)、白金(Pt)、銅(Cu)であることを特徴とする半導体装置の作

製方法。

【請求項8】請求項6において、前記非金属元素または非金属元素イオンはボロン(B)、珪素(Si)、燐(P)、ヒ素(As)、ヘリウム(He)、ネオン(Ne)、アルゴン(Ar)、クリプトン(Kr)、キセノン(Xe)から選ばれた1種または複数種であることを特徴とする半導体装置の作製方法。

【請求項9】請求項8において、前記アルゴンは前記結晶質半導体薄膜に $90\text{ keV}$ の加速電圧で、かつ $2 \times 10^{15}/\text{cm}^2$ のドーズ量で添加されることを特徴とする半導体装置の作製方法。

## 【発明の詳細な説明】

## 【0001】

【発明の属する技術分野】本発明は珪素を主成分とする結晶質半導体薄膜を利用した半導体装置の作製方法に関する技術である。特に、絶縁基板上に珪素を主成分とする結晶質半導体薄膜を有する基板を利用した薄膜トランジスタ(以下、TFTと記す)の作製方法に関する。

【0002】本明細書において、半導体装置とは半導体を利用して機能する装置全般を指すものであり、TFTの如き単体素子のみならず、演算処理装置、記憶処理装置、電気光学装置などそれを搭載した電子デバイス等も半導体装置の範疇に含まれる。

## 【0003】

【従来の技術】アクティブマトリクス型液晶表示装置は、同一基板上に画素マトリクス回路とドライバー回路とを設けたモノリシック型表示装置である。モノリシック型表示装置は、薄膜トランジスタ(TFT)を用いることが主流である。薄膜トランジスタは、ガラス基板、石英基板などの絶縁基板上に非晶質珪素膜(アモルファスシリコン膜)を形成し活性層としている。TFTを利用して、メモリ回路やクロック発生回路等のロジック回路を内蔵したシステムオンパネルの開発も進められている。

【0004】このようなドライバー回路やロジック回路は高速動作を行う必要があるため、石英基板、ガラス基板上に活性層として非晶質珪素膜を成膜し、素子として用いることは不适当である。そのため、現在では多結晶質珪素膜を活性層としたTFTが製造されている。

【0005】石英基板、ガラス基板上に非晶質珪素膜を成膜した後、結晶化により多結晶珪素膜を得る技術は幾つか存在する。そのなかでも、素子を形成したときに優れた素子の電気的特性が得られ、非晶質珪素膜の結晶化を促進する触媒金属元素を添加し、加熱処理により結晶化する技術が知られている。以下に、この技術をさらに詳しく説明する。

【0006】石英基板、ガラス基板などの絶縁性の基板上に、LPCVD装置やPECVD装置で、 $50\text{ nm}$ から $100\text{ nm}$ 程度の珪素を主成分とする非晶質構造を有する半導体薄膜を形成する。前記非晶質構造を有する半

導体薄膜の表面や膜中に、金属を添加し加熱処理することにより、前記非晶質構造を有する半導体薄膜を固相結晶化する。前記非晶質構造を有する半導体薄膜が固相結晶化することにより、珪素を主成分とする結晶質半導体薄膜となる。前記金属の添加により固相結晶化が促進されることは、本発明者らにより確認されており、前記金属は固相結晶化に際し、触媒として働くと言える。前記金属を本明細書では触媒金属とする。

【0007】前記非晶質構造を有する半導体薄膜が、金属を触媒として加熱処理により結晶化する現象は、Metal Induced Lateral crystallization (MILC) として多数報告されている。代表的なものとして、ニッケル(Ni)、コバルト(Co)、パラジウム(Pd)、白金(Pt)、銅(Cu)などの遷移金属元素がある。触媒金属の存在により、触媒金属を添加しない場合に比べて前記非晶質構造を有する半導体薄膜が固相結晶化に要する温度や時間の点で有利となる。実験によれば、Ni元素は、触媒金属として非常に優れている。以下では、触媒金属としてNi元素を用いたことを前提とする。

【0008】前記非晶質構造を有する半導体薄膜の固相結晶化に要する加熱処理は、電気炉などにより400℃～700℃で数時間以上である。

【0009】本明細書では、珪素を主成分とする非晶質構造を有する半導体薄膜とは、非晶質構造を有するSiGe薄膜で、かつGeの成分比が50%未満のものなども含む。

【0010】

【発明が解決しようとする課題】前記非晶質構造を有する半導体薄膜の結晶化を促進する触媒金属には、ニッケル(Ni)、コバルト(Co)、パラジウム(Pd)、白金(Pt)、銅(Cu)など遷移金属元素が用いられる。一般的によく知られているように、Niなどの金属は、結晶質の珪素中に存在すると、深い準位を形成し素子の電気特性や信頼性に悪影響を及ぼす。よって、素子が形成され素子として使用される領域(素子活性領域)から、Ni元素などの金属を除去する必要がある。前記結晶質半導体薄膜も、触媒金属による素子特性への悪影響が懸念される。

【0011】

【課題を解決するための手段】よって、素子活性領域から、電気特性に影響を及ぼさない程度までに、Ni元素などの金属を除去する必要がある。結晶質の珪素中の素子活性領域中から、Ni元素などの金属を除去することを、一般的にゲッタリングと言う。以下に、本発明者らにより確かめられているゲッタリングの方法を述べる。

【0012】前記結晶質半導体薄膜上に絶縁膜を形成する。前記絶縁膜は、CVD装置やスパッタ装置により酸化珪素膜または窒化珪素膜などを成膜する。次に、前記絶縁膜を島状に形成する。半導体技術で一般的なフォト

リソグラフィとエッチングにより、前記絶縁膜の島状物は形成できる。

【0013】前記絶縁膜をマスクとして、非金属元素または該非金属元素のイオンを、前記結晶質半導体薄膜に添加し、前記結晶質半導体薄膜に前記非金属元素または該非金属元素イオンが添加された領域を形成する。つまり、前記結晶質半導体薄膜上に前記絶縁膜の島状物が存在する領域は、前記非金属元素または該非金属元素イオンが添加されずに、前記の島状物が存在しない領域に添加される。前記非金属元素または該非金属元素イオンは、気相からの熱拡散やイオン注入装置などにより添加する。

【0014】前記非金属元素または該非金属元素イオンは、ボロン(B)、珪素(Si)、燐(P)、ヒ素(As)、ヘリウム(He)、ネオン(Ne)、アルゴン(Ar)、Kr(クリプトン)、キセノン(Xe)から選ばれた1種または複数種である。

【0015】単結晶珪素での遷移金属元素のゲッタリングの機構や現象は盛んに研究されており、かなりの部分が明らかになっている。多結晶珪素でのゲッタリングについては、詳しくわかっていないところもあるが、単結晶珪素の場合を参考することができる。多結晶珪素においてもイオン打ち込み法(イオン注入法)により導入される、ダメージは有効なゲッタリングとなる。イオン注入より原子が跳ね飛ばされた跡は局部的に非晶質化し、続く加熱処理によって非晶質部を再結晶化させる際に高密度の結晶欠陥などが導入される。よって、ゲッタリングの際にイオン注入により添加する前記非金属元素または該非金属元素イオンには、イオン打ち込み可能であって、ゲッタリングする金属よりも拡散係数が小さく加熱処理によっても素子活性領域までほとんど拡散しないか、電気的に不活性で素子特性に対して影響がなければよい。

【0016】前記の条件に当たる元素には、B、Si、P、As、He、Ne、Ar、Kr、Xeから選ばれた1種または複数種がある。ただし、イオン種、ドーズ量、加速エネルギーの違いにより、粒界、微少双晶、積層欠陥、転位ループ、転位網などのダメージが発生の様子も違ってくる考えられる。また、燐(P)など、気相から拡散した場合でも、結晶質珪素中に添加されるとミスフィット転移を形成しゲッタリング源となる。燐

(P)を前記結晶質半導体薄膜に添加すると、前記触媒金属のゲッタリングに有効であることは本発明者らによって確認されている。

【0017】次に、前記結晶質半導体薄膜に400℃以上1000℃以下の加熱処理をして、前記非金属元素または該非金属元素のイオンが添加された領域に前記金属をゲッタリングする。発明者らの実験により、特に燐(P)は顕著なゲッタリング効果があることは確かめられている。

【0018】一般的に、ゲッタリングは素子活性領域外にゲッタリングするサイトを形成し、加熱処理によりゲッタリングサイトに金属を偏析することにより達成する。前述の薄膜の作製を含む、半導体素子の形成技術では、加熱処理は必須であるが、熱供給量＝温度×時間は小さいほど望ましい。熱供給量を小さくすれば、経済的に有利となり、時間短縮ができる。それ以外にも、半導体基板のそりや縮みの軽減、素子活性領域付近の余分な応力発生などが防げる。また、ゲッタリング工程後、素子活性領域中にゲッタリングできずに残留する金属も少なければ少ないほどよい。

【0019】ガラス基板または石英基板10101上に珪素を主成分とする非晶質構造を有する半導体薄膜10102を形成する。前記非晶質構造を有する半導体薄膜10102に金属を添加する。前記金属にはニッケル(Ni)、コバルト(Co)、パラジウム(Pd)、白金(Pt)、銅(Cu)などが考えられるが、課題を解決する手段の項ではNiとし、酢酸Ni塩溶液10103を塗布するとする。

【0020】前記非晶質構造を有する半導体薄膜10102を、前記金属を触媒として、400℃以上700℃以下の加熱処理により、固相結晶化し珪素を主成分とする結晶質半導体薄膜を得る(図1(A))。Niは固相結晶化を促進するのに非常に有効な金属であることが、発明者らの実験により確認されている。

【0021】前記結晶質半導体薄膜上10107に絶縁膜を成膜した後、絶縁膜を島状物10104に微細加工する。前記絶縁膜の島状物10104をマスクとして、非金属元素または該非金属元素のイオンを前記結晶質半導体薄膜に添加する(図1(B))。課題を解決するための手段の項では、前記非金属元素として燐(P)を用いたとする。

【0022】燐(P)以外にも、B、Si、As、H、Ne、Ar、Kr、Xeなどがゲッタリングに有効と考えられる。これらの元素は、イオン注入とそれに続く加熱処理によりpoly-Si膜にダメージを導入できること、ゲッタリングする金属よりも拡散しにくい、不活性で素子特性に影響を及ぼさない元素である。前記結晶質半導体薄膜に、非金属元素または該非金属元素のイオンが添加された領域10106、10109を形成する。前記結晶質半導体薄膜に、400℃以上1000℃以下の加熱処理をして、前記非金属元素または該非金属元素のイオンが添加された領域に前記金属をゲッタリングする。(図1(C))図1(C)中において、10110はNiが移動する方向である。

【0023】本発明の特徴の一つは、結晶質半導体薄膜に非金属元素または該非金属元素のイオンを添加してゲッタリングサイトを形成するプロセスと、加熱処理するプロセスとを有しており、該加熱処理により結晶質半導体薄膜に含まれる金属が移動してゲッタリングサイト

(非金属元素または該非金属元素のイオンが添加された領域)に捕獲され、ゲッタリングサイト以外の結晶質半導体薄膜から金属を除去または低減することである。

【0024】本発明の主たる構成は、前記結晶質半導体薄膜10206の表面10203と平行な面に対する前記島状の絶縁膜形状10301、10201が、頂点の数 $n$  ( $n > 20$ )個を有する多角形であって、かつ該頂点のうち内角が180度以上である頂点の数 $m$  ( $m > 8$ )個を有する多角形であることである。

【0025】以上により、前記非金属元素または該非金属元素のイオンが添加された領域10106、10109と添加されない領域との境界面10108の面積を増大させ、ゲッタリングの効率および効果のうち、少なくとも一つを改善する。

【0026】一般的に、ゲッタリングの進行は、金属の素子活性領域中からの開放ステップ、拡散ステップ、ゲッタリングサイトにおける捕獲ステップよりなる。前記境界面の面積を大きくし、前記金属の拡散現象を促進するなどにより、ゲッタリングの効率もしくは効果を上げることがねらいとしている。

【0027】

【発明の実施の形態】石英基板10101に、LPCVD装置により、50nm程度の非晶質の珪素膜(a-Si膜)10102を成膜する。

【0028】酢酸Ni塩溶液10103をスピンコート法により滴下する。酢酸Ni塩溶液のNi濃度は重量換算で10ppmほどである。酢酸Ni塩溶液を滴下する前に、酸素雰囲気中でUV光を照射することなどにより、極薄の酸化珪素膜(SiO<sub>2</sub>膜)を形成し、a-Si膜表面にて酢酸Ni塩溶液を濡れやすくする必要があるのである。

【0029】Niなどの金属の添加方法は、液相から添加する以外に、イオンインプラント装置による方法や、a-Si膜上に金属の蒸着膜を成膜する方法などがある。

【0030】石英基板(a-Si膜を有する)を、窒素雰囲気中で600℃で数時間以上の加熱処理を行う。Ni元素を添加することにより、Niを添加しない場合と比較して、遙かに短い時間でa-Si膜全体が固相結晶化することは確認されている。固相結晶化したことにより多結晶質の珪素膜(poly-Si)となる。Niはa-Si膜中に初期核が発生する際にも、a-Si膜の全体が結晶化する際にも関係することは、発明者らにより確認されている。

【0031】触媒金属をa-Si膜に添加すると結晶化が促進される現象は、Metal Induced Lateral crystallization (MILC)として多数報告されており、ニッケル(Ni)、コバルト(Co)、パラジウム(Pd)、白金(Pt)、銅(Cu)などの遷移金属元素がある。発明者らの実験によりNi

元素は、触媒金属として非常に優れていることが判明している。

【0032】一般的によく知られているように、Niなどの金属は、結晶質の珪素中に存在すると、深い準位を形成し素子の電気特性や信頼性に悪影響を及ぼす。よって、素子が形成され素子として使用される領域（素子活性領域）から、Niなどの金属を除去する必要がある。触媒金属により結晶化したpoly-Si膜も、触媒金属による素子特性への悪影響が懸念される。

【0033】よって、素子活性領域から、電気特性に影響を及ぼさない程度までに、Ni元素などの金属を除去する必要がある。結晶質の珪素中の素子活性領域中から、Ni元素などの金属を除去することを、一般的にゲッターリングと言う。

【0034】前記のpoly-Si膜上に、150nm程度の酸化珪素膜を成膜する。酸化珪素膜は、LTO (low temperature oxide) 膜である。成膜する絶縁膜は、酸化珪素膜の他に窒化珪素膜などが考えられ、その成膜方法もPCVD装置、LPCVD装置、スパッタ装置などがある。

【0035】成膜したpoly-Si膜が島形状10104になるように、フォトリソグラフィとエッチングにより微細加工する。poly-Si膜の表面10203と平行な面10202で前記島状物を切り取ったときにできる断面形状10208を考える。本発明の主たる構成は、その断面形状が、頂点の数 $n$  ( $n > 20$ ) 個を有する多角形であって、かつ、その頂点のうち内角が180度以上である頂点の数 $m$  ( $m > 8$ ) 個を有する多角形とすることである。本実施形態1では、コッホ曲線を参考に、島状物の断面形状を図2(B)のようにした。コッホ曲線とは、フラクタル幾何で有名な図形である。

【0036】酸化珪素膜の島状物をマスクとして、プラズマドーピング装置により、燐(P)をpoly-Si膜に添加する(図1(B))。イオン注入量 $1 \times 10^{15}$  atoms/cm<sup>2</sup>、加速電圧10kVの条件である。酸化珪素膜の膜厚を考慮して、酸化珪素膜の島状物10104をPイオンが突き抜けられないような加速電圧、イオン注入量とすべきである。燐(P)以外にも、B、Si、H、As、Ne、Ar、Kr、Xeなどがゲッターリングに有効と考えられる。これらの元素は、イオン注入とそれに続く加熱処理によりpoly-Si膜にダメージを導入できること、ゲッターリングする金属よりも拡散しにくい、不活性で素子特性に影響を及ぼさない元素である。

【0037】プラズマドーピング装置は、LSI製造に使用されるイオンインプラント装置と違い、イオンを打ち込む際に質量分離する機構がない。そのために、イオンインプラント装置と比較して、打ち込み量や打ち込み深さをコントロールする精度が劣るという面もある。ただし、大面積を効率よくイオン注入することができた

めに、TFT製造では多用されている。

【0038】燐(P)のイオン注入の後に、窒素雰囲気中で600℃、5hr程度の加熱処理を行い(図1(C))、poly-Si膜中の燐(P)が添加された領域10106、10109に、結晶化の際に触媒金属としたNiをゲッターリングする。燐(P)を添加することにより、顕著なゲッターリングの効果あることは発明者らによりすでに確認されている。ゲッターリングの際の加熱処理は、400℃以上から1000℃以下とする。

【0039】酸化珪素膜の島状物の形を先のような複雑な多角形10208とした理由は、poly-Si膜中の燐(P)の添加領域と非添加領域とが接する面10108の面積を増大するためである。添加領域と非添加領域が接する面積を大きくし、前記金属の拡散現象を促進するなどにより、ゲッターリングの効率もしくはその効果を上げることをねらいとしている。

【0040】ゲッターリングにより、素子活性領域の被ゲッターリング金属の濃度を素子特性に影響を及ぼさない程度にまで軽減する。

【0041】a-Si膜の固相結晶化とゲッターリングが終了した後は、通常のTFTアレイ基板の作製を行い、液晶デバイスや有機ELデバイスまで作製する。

【0042】

【実施例】[実施例1]本実施例では表示装置を作製するための工程を示し、画素部の画素TFTおよび保持容量と、表示領域の周辺に設けられる駆動回路のTFTを同時に作製する方法について図4～図6を用い工程に従って詳細に説明する。

【0043】図4(A)において、基板101にはコーニング社の#7059ガラスや#1737ガラスなどに代表されるバリウムホウケイ酸ガラスやアルミノホウケイ酸ガラスなどのガラス基板の他に、ポリエチレンテレフタレート(PET)、ポリエチレンナフタレート(PEN)、ポリエーテルサルホン(PES)など光学的異方性を有しないプラスチック基板を用いることができる。ガラス基板を用いる場合には、ガラス歪み点よりも10～20℃程度低い温度であらかじめ熱処理しておいても良い。そして、基板101のTFTを形成する表面に基板101からの不純物拡散を防ぐために、酸化シリコン膜、窒化シリコン膜または酸化窒化シリコン膜などの絶縁膜から成る下地膜102を形成する。例えば、プラズマCVD法でSiH<sub>4</sub>、NH<sub>3</sub>、N<sub>2</sub>Oから作製される酸化窒化シリコン膜102aを10～200nm(好ましくは50～100nm)、同様にSiH<sub>4</sub>、N<sub>2</sub>Oから作製される酸化窒化水素化シリコン膜102bを50～200nm(好ましくは100～150nm)の厚さに積層形成する。

【0044】酸化窒化シリコン膜は平行平板型のプラズマCVD法を用いて形成する。酸化窒化シリコン膜102aは、SiH<sub>4</sub>を10SCCM、NH<sub>3</sub>を100SCCM、N<sub>2</sub>

○を20SCCMとして反応室に導入し、基板温度325℃、反応圧力40Pa、放電電力密度0.41W/cm<sup>2</sup>、放電周波数60MHzとする。一方、酸化窒化水素化シリコン膜102bは、SiH<sub>4</sub>を5SCCM、N<sub>2</sub>Oを120SCCM、H<sub>2</sub>を125SCCMとして反応室に導入し、基板温度400℃、反応圧力20Pa、放電電力密度0.41W/cm<sup>2</sup>、放電周波数60MHzとする。これらの膜は、基板温度を変化させ、反応ガスの切り替えのみで連続して形成することもできる。

【0045】上記条件にて作製される酸化窒化シリコン膜102aは、密度が9.28×10<sup>21</sup>/cm<sup>3</sup>であり、フッ化水素アンモニウム(NH<sub>4</sub>HF<sub>2</sub>)を7.13%とフッ化アンモニウム(NH<sub>4</sub>F)を15.4%含む混合溶液(ステラケミファ社製、商品名LAL500)の20℃におけるエッチング速度が約63nm/minと遅く、緻密で硬い膜である。このような膜を下地膜に用いると、この上に形成する半導体膜にガラス基板からのアルカリ金属元素が拡散するのを防ぐのに有効である。

【0046】次に、25~80nm(好ましくは30~60nm)の厚さで非晶質構造を有する半導体膜103aを、プラズマCVD法やスパッタ法などの公知の方法で形成する。例えば、プラズマCVD法で非晶質シリコン膜を55nmの厚さに形成する。非晶質構造を有する半導体膜には、非晶質半導体膜や微結晶半導体膜があり、非晶質シリコンゲルマニウム膜などの非晶質構造を有する化合物半導体膜を適用しても良い。また、下地膜102と非晶質半導体膜103aとは両者を連続形成することも可能である。例えば、前述のように酸化窒化シリコン膜102aと酸化窒化水素化シリコン膜102bをプラズマCVD法で連続して成膜後、反応ガスをSiH<sub>4</sub>、N<sub>2</sub>O、H<sub>2</sub>からSiH<sub>4</sub>とH<sub>2</sub>、或いはSiH<sub>4</sub>のみに切り替えれば、一旦大気雰囲気中に曝すことなく連続形成できる。その結果、酸化窒化水素化シリコン膜102bの表面の汚染を防ぐことが可能となり、作製するTFTの特性バラツキやしきい値電圧の変動を低減させることができる。

【0047】本明細書の実施形態1と同様に、金属触媒を用いた結晶化とその金属のゲッタリングを行う。ゲッタリングの際に用いた酸化珪素膜の島状物は、ウェットエッチングにより取り除く。

【0048】そして、図4(C)に示すように結晶質半導体膜103b上にフォトマスク1(PM1)を用い、フォトリソグラフィーの技術を用いてレジストパターンを形成し、ドライエッチングによって結晶質半導体膜を島状に分割し、島状半導体膜104~108を形成する。ドライエッチングにはCF<sub>4</sub>とO<sub>2</sub>の混合ガスを用いる。その後、プラズマCVD法またはスパッタ法により50~100nmの厚さの酸化シリコン膜によるマスク層194を形成する。

【0049】この状態で島状半導体膜に対し、TFTの

しきい値電圧(V<sub>th</sub>)を制御する目的でp型を付与する不純物元素を1×10<sup>16</sup>~5×10<sup>17</sup>atoms/cm<sup>3</sup>程度の濃度で島状半導体膜の全面に添加しても良い。半導体に対してp型を付与する不純物元素には、ホウ素(B)、アルミニウム(Al)、ガリウム(Ga)など周期律表第13族の元素が知られている。その方法として、イオン注入法やイオンドープ法を用いることができるが、大面積基板を処理するにはイオンドープ法が適している。イオンドープ法ではジボラン(B<sub>2</sub>H<sub>6</sub>)をソースガスとして用いホウ素(B)を添加する。このような不純物元素の注入は必ずしも必要でなく省略しても差し支えないが、特にnチャネル型TFTのしきい値電圧を所定の範囲内に収めるために好適に用いる手法である。

【0050】駆動回路のnチャネル型TFTのLDD領域を形成するために、n型を付与する不純物元素を島状半導体膜105、107に選択的に添加する。あらかじめレジストマスク195a~195eを形成する。n型を付与する不純物元素としては、リン(P)や砒素(As)を用いれば良く、ここではリン(P)を添加すべく、フォスフィン(PH<sub>3</sub>)を用いたイオンドープ法を適用する。形成された不純物領域は低濃度n型不純物領域196、197として、このリン(P)濃度は2×10<sup>16</sup>~5×10<sup>17</sup>atoms/cm<sup>3</sup>の範囲とすれば良い。本明細書中では、ここで形成された不純物領域196、197に含まれるn型を付与する不純物元素の濃度を(n-)と表す。また、不純物領域198は、画素マトリクス回路の保持容量を形成するための半導体膜であり、この領域にも同じ濃度でリン(P)を添加する(図4(D))。

【0051】その後、添加した不純物元素を活性化させる処理を行う。活性化の処理は実施形態7で説明したレーザー光を用いた熱処理により行う。熱処理条件の一例は、レーザーパルス発振周波数1kHzとし、レーザーエネルギー密度を100~300mJ/cm<sup>2</sup>(代表的には150~250mJ/cm<sup>2</sup>)とする。そして線状ビームを基板全面に渡って照射し、この時の線状ビームの重ね合わせ率(オーバーラップ率)を80~99%(好ましくは、95~99%)として行う。

【0052】ゲート絶縁膜109はプラズマCVD法またはスパッタ法を用い、膜厚を40~150nmとしてシリコンを含む絶縁膜で形成する。例えば、120nmの厚さで酸化窒化シリコン膜から形成すると良い。また、SiH<sub>4</sub>とN<sub>2</sub>OにO<sub>2</sub>を添加させて作製された酸化窒化シリコン膜は、膜中の固定電荷密度が低減されているのでこの用途に対して好ましい材料となる。勿論、ゲート絶縁膜はこのような酸化窒化シリコン膜に限定されるものでなく、他のシリコンを含む絶縁膜を単層または積層構造として用いても良い(図4(E))。

【0053】そして、図4(E)に示すように、ゲート絶縁膜109上にゲート電極を形成するための耐熱性導



電層を形成する。耐熱性導電層は単層で形成しても良いが、必要に応じて二層あるいは三層といった複数の層から成る積層構造としても良い。このような耐熱性導電性材料を用い、例えば、導電性の窒化物金属膜から成る導電層(A)110と金属膜から成る導電層(B)111とを積層した構造とすると良い。導電層(B)111はタンタル(Ta)、チタン(Ti)、モリブデン(Mo)、タングステン(W)から選ばれた元素、または前記元素を主成分とする合金か、前記元素を組み合わせた合金膜(代表的にはMo-W合金膜、Mo-Ta合金膜)で形成すれば良く、導電層(A)110は窒化タンタル(TaN)、窒化タングステン(WN)、窒化チタン(TiN)膜、窒化モリブデン(MoN)などで形成する。また、導電層(A)110はタングステンシリサイド、チタンシリサイド、モリブデンシリサイドを適用しても良い。導電層(B)111は低抵抗化を図るために含有する不純物濃度を低減させることが好ましく、特に酸素濃度に関しては30ppm以下とすると良かった。例えば、タングステン(W)は酸素濃度を30ppm以下とすることで $20\mu\Omega\text{cm}$ 以下の比抵抗値を実現

【0054】導電層(A)110は10~50nm(好ましくは20~30nm)とし、導電層(B)111は200~400nm(好ましくは250~350nm)とすれば良い。Wをゲート電極とする場合には、Wをターゲットとしたスパッタ法で、アルゴン(Ar)ガスと窒素(N<sub>2</sub>)ガスを導入して導電層(A)111を窒化タングステン(WN)で50nmの厚さに形成し、導電層(B)110をWで250nmの厚さに形成する。その他の方法として、W膜は6フッ化タングステン(WF<sub>6</sub>)を用いて熱CVD法で形成することもできる。いずれにしてもゲート電極として使用するためには低抵抗化を図る必要があり、W膜の抵抗率は $20\mu\Omega\text{cm}$ 以下にすることが望ましい。W膜は結晶粒を大きくすることで低抵抗率化を図ることができるが、W中に酸素などの不純物元素が多い場合には結晶化が阻害され高抵抗化する。このことより、スパッタ法による場合、純度99.999%のWターゲットを用い、さらに成膜時に気相からの不純物の混入がないように十分配慮してW膜を形成することにより、抵抗率9~ $20\mu\Omega\text{cm}$ を実現することが

【0055】一方、導電層(A)110にTaN膜を、導電層(B)111にTa膜を用いる場合には、同様にスパッタ法で形成することが可能である。TaN膜はTaをターゲットとしてスパッタガスにArと窒素との混合ガスを用いて形成し、Ta膜はスパッタガスにArを用いる。また、これらのスパッタガス中に適量のXeやKrを加えておくと、形成する膜の内部応力を緩和して膜の剥離を防止することができる。 $\alpha$ 相のTa膜の抵抗率は $20\mu\Omega\text{cm}$ 程度でありゲート電極に使用することが

できるが、 $\beta$ 相のTa膜の抵抗率は $180\mu\Omega\text{cm}$ 程度でありゲート電極とするには不向きである。TaN膜は $\alpha$ 相に近い結晶構造を持つので、この上にTa膜を形成すれば $\alpha$ 相のTa膜が容易に得られた。尚、図示しないが、導電層(A)110の下に2~20nm程度の厚さでリン(P)をドーピングしたシリコン膜を形成しておくことは有効である。これにより、その上に形成される導電膜の密着性向上と酸化防止を図ると同時に、導電層

(A)110または導電層(B)111が微量に含有するアルカリ金属元素がゲート絶縁膜109に拡散するのを防ぐことができる。いずれにしても、導電層(B)111は抵抗率を10~ $50\mu\Omega\text{cm}$ の範囲ですることが好ましい。

【0056】次に、フォトリソマスク2(PM2)を用い、フォトリソグラフィーの技術を使用してレジストマスク112~117を形成し、導電層(A)110と導電層(B)111とを一括でエッチングしてゲート電極118~122と容量配線123を形成する。ゲート電極118~122と容量配線123は、導電層(A)から成る118a~122aと、導電層(B)から成る118b~122bとが一体として形成される(図5(A))。

【0057】導電層(A)および導電層(B)をエッチングする方法は実施者が適宜選択すれば良いが、前述のようにWを主成分とする材料で形成されている場合には、高速でかつ精度良くエッチングを実施するために高密度プラズマを用いたドライエッチング法を適用することが望ましい。高密度プラズマを得る手法の一つとして、誘導結合プラズマ(Inductively Coupled Plasma: ICP)エッチング装置を用いると良い。ICPエッチング装置を用いたWのエッチング法は、エッチングガスにCF<sub>4</sub>とCl<sub>2</sub>の2種のガスを反応室に導入し、圧力0.5~1.5Pa(好ましくは1Pa)とし、誘導結合部に200~1000Wの高周波(13.56MHz)電力を印加する。この時、基板が置かれたステージには20Wの高周波電力が印加され、自己バイアスで負電位に帯電することにより、正イオンが加速されて異方性のエッチングを行うことができる。ICPエッチング装置を使用することにより、Wなどの硬い金属膜も2~5nm/秒のエッチング速度を得ることができる。また、残渣を残すことなくエッチングするためには、10~20%程度の割合でエッチング時間を増しオーバーエッチングをすると良い。しかし、この時に下地とのエッチングの選択比に注意する必要がある。例えば、W膜に対する酸化窒化シリコン膜(ゲート絶縁膜109)の選択比は2.5~3であるので、このようなオーバーエッチング処理により、酸化窒化シリコン膜が露出した面は20~50nm程度エッチングされて実質的に薄くなる。

【0058】そして、画素TFTのnチャネル型TFTにLDD領域を形成するために、n型を付与する不純物

元素添加の工程 (n-ドーピング工程) を行う。ゲート電極 118~122 をマスクとして自己整合的に n 型を付与する不純物元素をイオンドーピング法で添加した。n 型を付与する不純物元素として添加するリン (P) の濃度は  $1 \times 10^{16} \sim 5 \times 10^{17} \text{ atoms/cm}^2$  の濃度範囲で添加する。このようにして、図 5 (B) に示すように島状半導体膜に低濃度 n 型不純物領域 124~129 を形成する。

【0059】次に、n チャネル型 TFT に対して、ソース領域またはドレイン領域として機能する高濃度 n 型不純物領域の形成を行う (n+ドーピング工程)。まず、フォトリソマスク 3 (PM3) を用い、レジストのマスク 130~134 を形成し、n 型を付与する不純物元素を添加して高濃度 n 型不純物領域 135~140 を形成する。n 型を付与する不純物元素にはリン (P) を用い、その濃度が  $1 \times 10^{19} \sim 1 \times 10^{21} \text{ atoms/cm}^2$  の濃度範囲となるようにフォスフィン ( $\text{PH}_3$ ) を用いたイオンドーピング法で行う (図 5 (C))。

【0060】そして、p チャネル型 TFT を形成する島状半導体膜 104、106 にソース領域およびドレイン領域とする高濃度 p 型不純物領域 144、145 を形成する。ここでは、ゲート電極 118、120 をマスクとして p 型を付与する不純物元素を添加し、自己整合的に高濃度 p 型不純物領域を形成する。このとき n チャネル型 TFT を形成する島状半導体膜 105、107、108 は、フォトリソマスク 4 (PM4) を用いてレジストマスク 141~143 を形成し全面を被覆しておく。高濃度 p 型不純物領域 144、145 はジボラン ( $\text{B}_2\text{H}_6$ ) を用いたイオンドーピング法で形成する。この領域のボロン

(B) の濃度は  $3 \times 10^{19} \sim 3 \times 10^{21} \text{ atoms/cm}^2$  となるようにする (図 5 (D))。

【0061】この高濃度 p 型不純物領域 144、145 には、前工程においてリン (P) が添加されていて、高濃度 p 型不純物領域 144a、145a には  $1 \times 10^{19} \sim 1 \times 10^{21} \text{ atoms/cm}^2$  の濃度で、高濃度 p 型不純物領域 144b、145b には  $1 \times 10^{18} \sim 5 \times 10^{19} \text{ atoms/cm}^2$  の濃度で含有しているが、この工程で添加するボロン (B) の濃度を 1.5 から 3 倍とすることにより、p チャネル型 TFT のソース領域およびドレイン領域として機能する上で何ら問題は生じない。

【0062】その後、図 6 (A) に示すように、ゲート電極およびゲート絶縁膜上から保護絶縁膜 146 を形成する。保護絶縁膜は酸化シリコン膜、酸化窒化シリコン膜、窒化シリコン膜、またはこれらを組み合わせた積層膜で形成すれば良い。いずれにしても保護絶縁膜 146 は無機絶縁物材料から形成する。保護絶縁膜 146 の膜厚は  $100 \sim 200 \text{ nm}$  とする。ここで、酸化シリコン膜を用いる場合には、プラズマ CVD 法で、TEOS

(Tetraethyl Orthosilicate) と  $\text{O}_2$  とを混合し、反応圧力 40 Pa、基板温度  $300 \sim 400^\circ\text{C}$  とし、高周波

(13.56 MHz) 電力密度  $0.5 \sim 0.8 \text{ W/cm}^2$  で放電させて形成する。酸化窒化シリコン膜を用いる場合には、プラズマ CVD 法で  $\text{SiH}_4$ 、 $\text{N}_2\text{O}$ 、 $\text{NH}_3$  から作製される酸化窒化シリコン膜、または  $\text{SiH}_4$ 、 $\text{N}_2\text{O}$  から作製される酸化窒化シリコン膜で形成すれば良い。この場合の作製条件は反応圧力 20~200 Pa、基板温度  $300 \sim 400^\circ\text{C}$  とし、高周波 (60 MHz) 電力密度  $0.1 \sim 1.0 \text{ W/cm}^2$  で形成することができる。また、 $\text{SiH}_4$ 、 $\text{N}_2\text{O}$ 、 $\text{H}_2$  から作製される酸化窒化水素化シリコン膜を適用しても良い。窒化シリコン膜も同様にプラズマ CVD 法で  $\text{SiH}_4$ 、 $\text{NH}_3$  から作製することが可能である。

【0063】その後、それぞれの濃度で添加された n 型または p 型を付与する不純物元素を活性化する工程を行う。この工程はファーンズアニール炉を用いる熱アニール法で行うこともできるが、レーザー光を用いた熱処理方法で活性化させても良い。この場合の熱処理条件は前述のものと同様なものとする。一方、熱アニール法で行う場合には酸素濃度が 1 ppm 以下、好ましくは 0.1 ppm 以下の酸素雰囲気中で  $400 \sim 700^\circ\text{C}$ 、代表的には  $500 \sim 600^\circ\text{C}$  で行うものであり、本実施例では  $550^\circ\text{C}$  で 4 時間の熱処理を行った。また、基板 101 に耐熱温度が低いプラスチック基板を用いる場合には、本発明のレーザー光を用いた熱処理方法を適用することが好ましい (図 6 (B))。

【0064】熱処理を行った後、さらに、 $3 \sim 100\%$  の水素を含む雰囲気中で、 $300 \sim 450^\circ\text{C}$  で 1~12 時間の熱処理を行い、島状半導体膜を水素化する工程を行った。この工程は熱的に励起された水素により島状半導体膜にある  $10^{16} \sim 10^{18}/\text{cm}^3$  のダングリングボンドを終端する工程である。水素化の他の手段として、プラズマ水素化 (プラズマにより励起された水素を用いる) を行っても良い。

【0065】本発明のレーザー光を用いた熱処理方法とプラズマ水素化処理を組み合わせで行う場合には図 3 で示す構成の装置で行うことができる。具体的には、処理室 818 でレーザー光を用いた熱処理を行い、その後搬送手段 820 により基板を処理室 816 に移動してプラズマ水素化の処理を行う。処理室 816 には水素ガスまたはアンモニアガス等を導入するようにしておけばプラズマ水素化を容易に行うことができる。このように、基板を装置内に保持し、大気に晒すことなく連続処理することで基板表面の汚染を防止でき、また、スルーブットを向上させることができる。

【0066】そして、有機絶縁物材料からなる層間絶縁膜 147 を  $1.0 \sim 2.0 \mu\text{m}$  の平均厚を有して形成する。有機樹脂材料としては、ポリイミド、アクリル、ポリアミド、ポリイミドアミド、BCB (ベンゾシクロブテン) 等を使用することができる。例えば、基板に塗布後、熱重合するタイプのポリイミドを用いる場合には、

クリーンオープンで300℃で焼成して形成する。また、アクリルを用いる場合には、2液性のものを用い、主材と硬化剤を混合した後、スピナーを用いて基板全面に塗布した後、ホットプレートで80℃で60秒の予備加熱を行い、さらにクリーンオープンで250℃で60分焼成して形成することができる。

【0067】このように、層間絶縁膜を有機絶縁物材料で形成することにより、表面を良好に平坦化させることができる。また、有機樹脂材料は一般に誘電率が低いので、寄生容量を低減することができる。しかし、吸湿性があり保護膜としては適さないため、本実施例のように、保護絶縁膜146として形成した酸化シリコン膜、酸化窒化シリコン膜、窒化シリコン膜などと組み合わせて用いる必要がある。

【0068】その後、フォトリソマスク5 (PM5)を用い、所定のパターンのレジストマスクを形成し、それぞれの島状半導体膜に形成されたソース領域またはドレイン領域に達するコンタクトホールを形成する。コンタクトホールの形成はドライエッチング法により行う。この場合、エッチングガスに $CF_4$ 、 $O_2$ 、 $He$ の混合ガスを用い有機樹脂材料から成る層間絶縁膜をまずエッチングし、その後、続いてエッチングガスを $CF_4$ 、 $O_2$ として保護絶縁膜146をエッチングする。さらに、島状半導体膜との選択比を高めるために、エッチングガスを $CHF_3$ に切り替えてゲート絶縁膜をエッチングすることにより、良好にコンタクトホールを形成することができる。

【0069】そして、導電性の金属膜をスパッタ法や真空蒸着法で形成し、フォトリソマスク6 (PM6)によりレジストマスクパターンを形成し、エッチングによってソース配線148~152とドレイン配線153~157を形成する。ここで、ドレイン配線157は画素電極として機能するものである。図示していないが、本実施例ではこの電極を、 $Ti$ 膜を50~150nmの厚さで形成し、島状半導体膜のソースまたはドレイン領域を形成する半導体膜とコンタクトを形成し、その $Ti$ 膜上に重ねてアルミニウム ( $Al$ ) を300~400nmの厚さで形成して配線とする。

【0070】この状態で水素化処理を行うとTFTの特性向上に対して好ましい結果が得られる。例えば、3~100%の水素を含む雰囲気中で、300~450℃で1~12時間の熱処理を行うと良く、あるいはプラズマ水素化法を用いても同様の効果が得られる。また、このような熱処理により保護絶縁膜146や、下地膜102に存在する水素を島状半導体膜104~108に拡散させ水素化をすることもできる。いずれにしても、島状半導体膜104~108中の欠陥密度を $1.016/cm^2$ 以下とすることが望ましく、そのために水素を0.01~0.1atomic%程度付与すれば良い (図6 (C))。

【0071】こうして7枚のフォトリソマスクにより、同一

の基板上に、駆動回路のTFTと画素部の画素TFTとを有した基板を完成させることができる。駆動回路には第1のpチャネル型TFT200、第1のnチャネル型TFT201、第2のpチャネル型TFT202、第2のnチャネル型TFT203、画素部には画素TFT204、保持容量205が形成されている。本明細書では便宜上このような基板をアクティブマトリクス基板と呼ぶ。

【0072】駆動回路の第1のpチャネル型TFT200には、島状半導体膜104にチャネル形成領域206、高濃度p型不純物領域から成るソース領域207a、207b、ドレイン領域208a、208bを有したシングルドレインの構造を有している。第1のnチャネル型TFT201には、島状半導体膜105にチャネル形成領域209、ゲート電極119と重なるLDD領域210、ソース領域212、ドレイン領域211を有している。このLDD領域において、ゲート電極119と重なるLDD領域を $L_{ov}$ とするとそのチャネル長方向の長さは0.5~3.0 $\mu m$ 、好ましくは1.0~2.0 $\mu m$ とした。nチャネル型TFTにおけるLDD領域の長さをこのようにすることにより、ドレイン領域近傍に発生する高電界を緩和して、ホットキャリアの発生を防ぎ、TFTの劣化を防止することができる。駆動回路の第2のpチャネル型TFT202は同様に、島状半導体膜106にチャネル形成領域213、高濃度p型不純物領域から成るソース領域214a、214b、ドレイン領域215a、215bを有したシングルドレインの構造を有している。第2のnチャネル型TFT203には、島状半導体膜107にチャネル形成領域216、ゲート電極121と一部が重なるLDD領域217、218、ソース領域220、ドレイン領域219が形成されている。このTFTのゲート電極と重なる $L_{ov}$ の長さも0.5~3.0 $\mu m$ 、好ましくは1.0~2.0 $\mu m$ とした。また、ゲート電極と重ならないLDD領域を $L_{of}$ として、このチャネル長方向の長さは0.5~4.0 $\mu m$ 、好ましくは1.0~2.0 $\mu m$ とした。画素TFT204には、島状半導体膜108にチャネル形成領域221、222、LDD領域223~225、ソースまたはドレイン領域226~228を有している。LDD領域 ( $L_{off}$ ) のチャネル長方向の長さは0.5~4.0 $\mu m$ 、好ましくは1.5~2.5 $\mu m$ である。さらに、容量配線123と、ゲート絶縁膜と同じ材料から成る絶縁膜と、画素TFT204のドレイン領域228に接続する半導体膜229とから保持容量205が形成されている。図6 (C) では画素TFT204をダブルゲート構造としたが、シングルゲート構造でも良いし、複数のゲート電極を設けたマルチゲート構造としても差し支えない。

【0073】図16は画素部のほぼ一画素分を示す上面図である。図中に示すA-A'断面が図6 (C) に示す

画素部の断面図に対応している。画素 TFT204 のゲート電極 122 は、図示されていないゲート絶縁膜を介してその下の島状半導体膜 108 と交差している。また、ゲート電極 122 は Al や Cu などの材料を用いて形成される低抵抗導電性材料から成るゲート配線 900 と島状半導体膜 108 の外側でコンタクトホールを介さず接触している。図示はしていないが、島状半導体膜 108 には、ソース領域、ドレイン領域、LDD 領域が形成されている。また、256 はソース配線 152 とソース領域 226 とのコンタクト部、257 はドレイン配線 157 とドレイン領域 228 とのコンタクト部である。保持容量 205 は、画素 TFT204 のドレイン領域 228 から延在する半導体膜 229 とゲート絶縁膜を介して容量配線 123 が重なる領域で形成されている。この構成において半導体膜 229 には価電子制御を目的とした不純物元素は添加されていない。

【0074】以上の様な構成は、画素 TFT および駆動回路が要求する仕様に応じて各回路を構成する TFT の構造を最適化し、半導体装置の動作性能と信頼性を向上させることを可能としている。さらにゲート電極を、耐熱性を有する導電性材料で形成することにより LDD 領域やソース領域およびドレイン領域の活性化を容易としている。このような TFT を設けたアクティブマトリクス基板を作製するために、本発明のレーザー光を用いた熱処理方法及びレーザー装置を適用すると特性の良い TFT を作製することが可能で、また、生産性の向上を達成することができる。このようなアクティブマトリクス基板を用いて液晶表示装置や EL 表示装置を作製することができる。

【0075】[実施例 2] 実施例 1 では TFT のゲート電極の材料に W や Ta などの耐熱性導電性材料を用いる例を示した。このような材料を用いる理由は、ゲート電極形成後に価電子制御を目的として半導体膜に添加した不純物元素を主として、400～700℃の熱アニールによって活性化させること、エレクトロマイグレーションの防止、耐腐蝕性の向上など複数の要因に起因している。しかしながら、このような耐熱性導電性材料は面積抵抗で 10Ω 程度あり、画面サイズが 4 インチクラスかそれ以上の液晶表示装置や EL 表示装置には適していない。ゲート電極に接続するゲート配線を同じ材料で形成すると、基板面上における引回し長さが必然的に大きくなり、配線抵抗の影響による遅延時間を無視することができなくなるためである。

【0076】例えば、画素密度が VGA の場合、480 本のゲート配線と 640 本のソース配線が形成され、XGA の場合には 768 本のゲート配線と 1024 本のソース配線が形成される。表示領域の画面サイズは、13 インチクラスの場合対角線の長さは 340mm となり、18 インチクラスの場合には 460mm となる。本実施例ではこのような液晶表示装置を実現する手段として、

ゲート配線を Al や銅 (Cu) などの低抵抗導電性材料で形成する方法について図 7 を用いて説明する。

【0077】まず、実施例 1 と同様にして図 4 (A) ～図 5 (D) に示す工程を行う。そして、価電子制御を目的としてそれぞれの島状半導体膜に添加された不純物元素を活性化処理を行う。この活性化の処理はレーザー光を用いた熱処理方法を用いることが最も好ましい。さらに、3～100%の水素を含む雰囲気中で、300～450℃で 1～12 時間の熱処理を行い、島状半導体膜を水素化する処理を行う。この工程は熱的に励起された水素により半導体膜のダングリングボンドを終端する工程である。水素化の他の手段として、プラズマ水素化 (プラズマにより励起された水素を用いる) を行っても良い (図 7 (A))。

【0078】活性化および水素化の処理が終了したら、ゲート配線を低抵抗導電性材料で形成する。この低抵抗導電性層は Al や Cu を主成分とする導電層 (D) で形成する。例えば、Ti を 0.1～2 重量%含む Al 膜を導電層 (D) として全面に形成する (図示せず)。導電層 (D) 145 は 200～400nm (好ましくは 250～350nm) とすれば良い。そして、フォトマスクを用いて所定のレジストパターンを形成し、エッチング処理して、ゲート配線 163、164 と容量配線 165 を形成する。エッチング処理はリン酸系のエッチング溶液によるウエットエッチングで導電層 (D) を除去することにより、下地との選択加工性を保ってゲート配線を形成することができる。そして保護絶縁膜 146 を形成する (図 7 (B))。

【0079】その後、実施例 1 と同様にして有機絶縁物材料から成る層間絶縁膜 147、ソース配線 148～151、167、ドレイン配線 153～156、168 を形成してアクティブマトリクス基板を完成させることができる。図 8 (A)、(B) はこの状態の上面図を示し、図 8 (A) の B-B' 断面および図 8 (B) の C-C' 断面は図 7 (C) の A-A' および C-C' に対応している。図 8 (A)、(B) ではゲート絶縁膜、保護絶縁膜、層間絶縁膜を省略して示しているが、島状半導体膜 104、105、108 の図示されていないソースおよびドレイン領域にソース配線 148、149、167 とドレイン配線 153、154、168 がコンタクトホールを介して接続している。また、図 8 (A) の D-D' 断面および図 8 (B) の E-E' 断面を図 9 (A) と (B) にそれぞれ示す。ゲート配線 163 はゲート電極 118、119 と、またゲート配線 164 はゲート電極 122 と島状半導体膜 104、105、108 の外側で重なるように形成され、導電層 (C) と導電層 (D) が接触して電氣的に導通している。このようにゲート配線低抵抗導電性材料で形成することにより、配線抵抗を十分低減できる。従って、画素部 (画面サイズ) が 4 インチクラス以上の液晶表示装置や EL 表示装置に適用する

ことができる。

【0080】[実施例3]実施例1で作製したアクティブマトリクス基板はそのまま反射型の液晶表示装置に適用することができる。一方、透過型の液晶表示装置とする場合には画素部の各画素に設ける画素電極を透明電極で形成すれば良い。本実施例では透過型の液晶表示装置に対応するアクティブマトリクス基板の作製方法について図10を用いて説明する。

【0081】アクティブマトリクス基板は実施例1と同様に作製する。図11(A)では、ソース配線とドレイ  
ン配線は導電性の金属膜をスパッタ法や真空蒸着法で形  
成する。これは、Ti膜を50~150nmの厚さで形成し、島状半導体膜のソースまたはドレイン領域を形成する半導体膜とコンタクトを形成し、そのTi膜上に重ねてアルミニウム(A1)を300~400nmの厚さで形成し、さらにTi膜または窒化チタン(TiN)膜を100~200nmの厚さで形成して3層構造とした。その後、透明導電膜を全面に形成し、フォトリソを用いたパターニング処理およびエッチング処理により画素電極171を形成する。画素電極171は、層間絶縁膜147上に形成され、画素TF204のドレイン配線169と重なる部分を設け、接続構造を形成している。

【0082】図11(B)では最初に層間絶縁膜147上に透明導電膜を形成し、パターニング処理およびエッチング処理をして画素電極171を形成した後、ドレイン配線169を画素電極171と重なる部分を設けて形成した例である。ドレイン配線169はTi膜を50~150nmの厚さで形成し、島状半導体膜のソースまたはドレイン領域を形成する半導体膜とコンタクトを形成し、そのTi膜上に重ねてアルミニウム(A1)を300~400nmの厚さで形成して設ける。この構成にすると、画素電極171はドレイン配線169を形成するTi膜のみと接触することになる。その結果、透明導電膜材料とA1とが反応するのを防止できる。

【0083】透明導電膜の材料は、酸化インジウム( $\text{In}_2\text{O}_3$ )や酸化インジウム酸化スズ合金( $\text{In}_2\text{O}_3-\text{SnO}_2$ ;ITO)などをスパッタ法や真空蒸着法などを用いて形成して用いることができる。このような材料のエッチング処理は塩酸系の溶液により行う。しかし、特にITOのエッチングは残渣が発生しやすいので、エッチング加工性を改善するために酸化インジウム酸化亜鉛合金( $\text{In}_2\text{O}_3-\text{ZnO}$ )を用いても良い。酸化インジウム酸化亜鉛合金は表面平滑性に優れ、ITOに対して熱安定性にも優れているので、ドレイン配線169の端面で接触するA1との腐蝕反応を防止できる。同様に、酸化亜鉛(ZnO)も適した材料であり、さらに可視光の透過率や導電率を高めるためにガリウム(Ga)を添加した酸化亜鉛( $\text{ZnO}:\text{Ga}$ )などを用いることができる。

【0084】このようにして、透過型の液晶表示装置に

対応したアクティブマトリクス基板を完成させることができる。本実施例では、実施例1と同様な工程として説明したが、このような構成は実施例2で示すアクティブマトリクス基板に適用することができる。

【0085】[実施例4]本実施例では実施例1で作製したアクティブマトリクス基板から、アクティブマトリクス型液晶表示装置を作製する工程を説明する。まず、図12(A)に示すように、図6(C)の状態のアクティブマトリクス基板に柱状スペーサから成るスペーサを形成する。スペーサは数 $\mu\text{m}$ の粒子を散布して設ける方法でも良いが、ここでは基板全面に樹脂膜を形成した後これをパターニングして形成する方法を採用する。このようなスペーサの材料に限定はないが、例えば、JSR社製のNN700を用い、スピナーで塗布した後、露光と現像処理によって所定のパターンに形成する。さらにクリーンオープンなどで150~200℃で加熱して硬化させる。このようにして作製されるスペーサは露光と現像処理の条件によって形状を異ならせることができるが、好ましくは、柱状スペーサ173の形状は柱状で頂部が平坦な形状となるようにすると、対向側の基板を合わせたときに液晶表示パネルとしての機械的な強度を確保することができる。形状は円錐状、角錐状など特別の限定はないが、例えば円錐状としたときに具体的には、その高さを1.2~5 $\mu\text{m}$ とし、平均半径を5~7 $\mu\text{m}$ 、平均半径と底部の半径との比を1対1.5程度とする。このとき断面から見たテーパ角は $\pm 15^\circ$ 以下とすると良い。

【0086】柱状スペーサの配置は任意に決定すれば良いが、好ましくは、図12(A)で示すように、画素部においてはドレイン配線161(画素電極)のコンタクト部235と重ねてその部分を覆うように柱状スペーサ168を形成すると良い。コンタクト部235は平坦性が損なわれこの部分では液晶がうまく配向しなくなるので、このようにしてコンタクト部235にスペーサ用の樹脂を充填する形で柱状スペーサ168を形成することでディスクリネーションなどを防止することができる。

【0087】その後、配向膜174を形成する。通常液晶表示素子の配向膜にはポリイミド樹脂を用いる。配向膜を形成した後、ラビング処理を施して液晶分子がある一定のプレチルト角を持って配向するようにした。画素部に設けた柱状スペーサ173の端部からラビング方向に対してラビングされない領域が2 $\mu\text{m}$ 以下となるようにした。また、ラビング処理では静電気の発生がしばしば問題となるが、駆動回路のTF204上にもスペーサ172を形成しておくこと、スペーサとしての本来の役割と、静電気からTF204を保護する効果を得ることができる。

【0088】対向側の対向基板175には、遮光膜176、透明導電膜177および配向膜178を形成する。遮光膜176はTi、Cr、Alなどを150~300nmの厚さで形成する。そして、画素部と駆動回路が形成

されたアクティブマトリクス基板と対向基板とをシール剤 179 で貼り合わせる。シール剤 179 にはフィラー 180 が混入されていて、このフィラー 180 とスペーサ 172、173 によって均一な間隔を持って 2 枚の基板が貼り合わせられる。その後、両基板の間に液晶材料 606 を注入し、封止剤（図示せず）によって完全に封止する。液晶材料には公知の液晶材料を用いれば良い。このようにして図 12 (B) に示すアクティブマトリクス型の液晶表示装置が完成する。

【0089】図 12 ではスペーサ 172 を駆動回路の TFT 上の全面に形成する例を示したが、図 13 に示すようにこのスペーサを複数個に分割してスペーサ 172a ~ 172e として形成しても良い。駆動回路が形成されている部分に設けるスペーサは、このように少なくとも駆動回路のソース配線およびドレイン配線を覆うように形成すれば良い。このような構成とすることによって、駆動回路の各 TFT は、保護絶縁膜 146 と層間絶縁膜 147 とスペーサ 172 またはスペーサ 172a ~ 172e によって完全に覆われ保護されることになる。

【0090】図 14 はスペーサとシール剤を形成したアクティブマトリクス基板の上面図を示し、画素部および駆動回路部とスペーサおよびシール剤の位置関係を示す上面図である。画素部 188 の周辺に駆動回路として走査信号側駆動回路 185 と画像信号側駆動回路 186 が設けられている。さらに、その他 CPU やメモリなどの信号処理回路 187 も付加されていても良い。そして、これらの駆動回路は接続配線 183 によって外部入出力端子 182 と接続されている。画素部 188 では走査信号側駆動回路 185 から延在するゲート配線群 189 と画像信号側駆動回路 186 から延在するソース配線群 190 がマトリクス状に交差して画素を形成し、各画素にはそれぞれ画素 TFT 204 と保持容量 205 が設けられている。

【0091】画素部において設けられる柱状スペーサ 173 は、すべての画素に対して設けても良いが、マトリクス状に配列した画素の数個から数十個おきに設けても良い。即ち、画素部を構成する画素の全数に対するスペーサの数の割合は 20 ~ 100 % とすると良い。また、駆動回路部に設けるスペーサ 172、172'、172'' はその全面を覆うように設けても良いし、図 13 で示したように各 TFT のソースおよびドレイン配線の位置にあわせて複数個に分割して設けても良い。シール剤 179 は、基板 101 上の画素部 188 および走査信号側駆動回路 185、画像信号側駆動回路 186、その他の信号処理回路 187 の外側であって、外部入出力端子 182 よりも内側に形成する。

【0092】このようなアクティブマトリクス型液晶表示装置の構成を図 15 の斜視図を用いて説明する。図 15 においてアクティブマトリクス基板は、ガラス基板 101 上に形成された、画素部 188 と、走査信号側駆動

回路 185 と、画像信号側駆動回路 186 とその他の信号処理回路 187 とで構成される。画素部 188 には画素 TFT 204 と保持容量 205 が設けられ、画素部の周辺に設けられる駆動回路は CMOS 回路を基本として構成されている。走査信号側駆動回路 185 と、画像信号側駆動回路 186 はそれぞれゲート配線 122 とソース配線 152 で画素 TFT 204 に接続している。また、フレキシブルプリント配線板 (Flexible Printed Circuit: FPC) 191 が外部入力端子 182 に接続して画像信号などを入力するのに用いる。そして接続配線 183 でそれぞれの駆動回路に接続している。また、対向基板 175 には図示していないが、遮光膜や透明電極が設けられている。

【0093】このような構成の液晶表示装置は、実施例 1 ~ 3 で示すアクティブマトリクス基板を用いて形成することができる。実施例 1、及び実施例 2 で示すアクティブマトリクス基板を用いれば反射型の液晶表示装置が得られ、実施例 3 で示すアクティブマトリクス基板を用いると透過型の液晶表示装置を得ることができる。

【0094】[実施例 5] 本実施例では、実施例 1 ののアクティブマトリクス基板を用いてエレクトロルミネッセンス (EL: Electro Luminescence) 材料を用いた自発光型の表示パネル（以下、EL 表示装置と記す）を作製する例について説明する。尚、ルミネッセンスには蛍光と燐光による発光が含まれるが、本明細書においてエレクトロルミネッセンスには、そのどちらか一方、又はその両者による発光を含んでいる。図 17 (A) は本発明を用いた EL 表示パネルの上面図である。図 17 (A) において、10 は基板、11 は画素部、12 はソース側駆動回路、13 はゲート側駆動回路であり、それぞれの駆動回路は配線 14 ~ 16 を経て FPC 17 に至り、外部機器へと接続される。

【0095】図 17 (B) は図 17 (A) の A-A' 断面を表す図であり、このとき少なくとも画素部上、好ましくは駆動回路及び画素部上に対向板 80 を設ける。対向板 80 はシール材 19 で TFT と EL 材料を用いた発光層が形成されているアクティブマトリクス基板と貼り合わされている。シール剤 19 にはフィラー（図示せず）が混入されていて、このフィラーによりほぼ均一な間隔を持って 2 枚の基板が貼り合わせられている。さらに、シール材 19 の外側と FPC 17 の上面及び周辺は封止剤 81 で密封する構造とする。封止剤 81 はシリコン樹脂、エポキシ樹脂、フェノール樹脂、ブチルゴムなどの材料を用いる。

【0096】このように、シール剤 19 によりアクティブマトリクス基板 10 と対向基板 80 とが貼り合わされると、その間には空間が形成される。その空間には充填剤 83 が充填される。この充填剤 83 は対向板 80 を接する効果も合わせ持つ。充填剤 83 は PVC (ポリビニルクロライド)、エポキシ樹脂、シリコン樹脂、P

VB (ポリビニルブチラル) または EVA (エチレンビニルアセテート) などを用いることができる。また、発光層は水分をはじめ湿気に弱く劣化しやすいので、この充填剤 83 の内部に酸化バリウムなどの乾燥剤を混入させておくことで吸湿効果を保持できるので望ましい。また、発光層上に窒化シリコン膜や酸化窒化シリコン膜などで形成するパッシベーション膜 82 を形成し、充填剤 83 に含まれるアルカリ元素などによる腐蝕を防ぐ構造としていある。

【0097】対向板 80 にはガラス板、アルミニウム板、ステンレス板、FRP (Fiberglass-Reinforced Plastics) 板、PVF (ポリビニルフルオライド) フィルム、マイラーフィルム (デュボン社の商品名)、ポリエステルフィルム、アクリルフィルムまたはアクリル板などを用いることができる。また、数十  $\mu\text{m}$  のアルミニウム箔を PVF フィルムやマイラーフィルムで挟んだ構造のシートを用い、耐湿性を高めることもできる。このようにして、EL 素子は密閉された状態となり外気から遮断されている。

【0098】また、図 17 (B) において基板 10、下地膜 21 の上に駆動回路用 TFT (但し、ここでは n チャンネル型 TFT と p チャンネル型 TFT を組み合わせた CMOS 回路を図示している。) 22 及び画素部用 TFT 23 (但し、ここでは EL 素子への電流を制御する TFT だけ図示している。) が形成されている。これらの TFT の内特に n チャンネル型 TFT にはホットキャリア効果によるオン電流の低下や、Vth シフトやバイアスストレスによる特性低下を防ぐため、本実施形態で示す構成の LDD 領域が設けられている。

【0099】例えば、駆動回路用 TFT 22 とし、図 6 (C) に示す p チャンネル型 TFT 200、202 と n チャンネル型 TFT 201、203 を用いれば良い。また、画素部用 TFT 23 には図 6 (B) に示す画素 TFT 204 またはそれと同様な構造を有する p チャンネル型 TFT を用いれば良い。

【0100】図 6 (C) または図 7 (C) の状態のアクティブマトリクス基板から EL 表示装置を作製するには、ソース配線、ドレイン配線上に樹脂材料でなる層間絶縁膜 (平坦化膜) 26 を形成し、その上に画素部用 TFT 23 のドレインと電気的に接続する透明導電膜でなる画素電極 27 を形成する。透明導電膜には酸化インジウムと酸化スズとの化合物 (ITO と呼ばれる) または酸化インジウムと酸化亜鉛との化合物を用いることができる。そして、画素電極 27 を形成したら、絶縁膜 28 を形成し、画素電極 27 上に開口部を形成する。

【0101】次に、発光層 29 を形成する。発光層 29 は公知の EL 材料 (正孔注入層、正孔輸送層、発光層、電子輸送層または電子注入層) を自由に組み合わせて積層構造または単層構造とすれば良い。どのような構造とするかは公知の技術を用いれば良い。また、EL 材料に

は低分子系材料と高分子系 (ポリマー系) 材料がある。低分子系材料を用いる場合は蒸着法を用いるが、高分子系材料を用いる場合には、スピンコート法、印刷法またはインクジェット法等の簡易な方法を用いることが可能である。

【0102】発光層はシャドーマスクを用いて蒸着法、またはインクジェット法、ディスペンサー法などで形成する。いずれにしても、画素毎に波長の異なる発光が可能な発光層 (赤色発光層、緑色発光層及び青色発光層) を形成することで、カラー表示が可能となる。その他にも、色変換層 (CCM) とカラーフィルターを組み合わせた方式、白色発光層とカラーフィルターを組み合わせた方式があるがいずれの方法を用いても良い。勿論、単色発光の EL 表示装置とすることもできる。

【0103】発光層 29 を形成したら、その上に陰極 30 を形成する。陰極 30 と発光層 29 の界面に存在する水分や酸素は極力排除しておくことが望ましい。従って、真空中で発光層 29 と陰極 30 を連続して形成するか、発光層 29 を不活性雰囲気中で形成し、大気解放しないで真空中で陰極 30 を形成するといった工夫が必要である。本実施例ではマルチチャンバー方式 (クラスターツール方式) の成膜装置を用いることで上述のような成膜を可能とする。

【0104】なお、本実施例では陰極 30 として、LiF (フッ化リチウム) 膜と Al (アルミニウム) 膜の積層構造を用いる。具体的には発光層 29 上に蒸着法で 1 nm 厚の LiF (フッ化リチウム) 膜を形成し、その上に 300 nm 厚のアルミニウム膜を形成する。勿論、公知の陰極材料である MgAg 電極を用いても良い。そして陰極 30 は 31 で示される領域において配線 16 に接続される。配線 16 は陰極 30 に所定の電圧を与えるための電源供給線であり、異方性導電性ペースト材料 32 を介して FPC 17 に接続される。FPC 17 上にはさらに樹脂層 80 が形成され、この部分の接着強度を高めている。

【0105】31 に示された領域において陰極 30 と配線 16 とを電気的に接続するために、層間絶縁膜 26 及び絶縁膜 28 にコンタクトホールを形成する必要がある。これらは層間絶縁膜 26 のエッチング時 (画素電極用コンタクトホールの形成時) や絶縁膜 28 のエッチング時 (発光層形成前の開口部の形成時) に形成しておけば良い。また、絶縁膜 28 をエッチングする際に、層間絶縁膜 26 まで一括でエッチングしても良い。この場合、層間絶縁膜 26 と絶縁膜 28 が同じ樹脂材料であれば、コンタクトホールの形状を良好なものとすることができる。

【0106】また、配線 16 はシーリル 19 と基板 10 との間を隙間 (但し封止剤 81 で塞がれている。) を通って FPC 17 に電気的に接続される。なお、ここでは配線 16 について説明したが、他の配線 14、15 も同



様にしてシーリング材 18 の下を通して F P C 17 に電氣的に接続される。

【0107】ここで画素部のさらに詳細な断面構造を図 18 に、上面構造を図 19 (A) に、回路図を図 19

(B) に示す。図 18 (A) において、基板 2401 上に設けられたスイッチング用 T F T 2402 は実施例 1 の図 6 (C) の画素 T F T 204 と同じ構造で形成される。ダブルゲート構造とすることで実質的に二つの T F T が直列された構造となり、オフ電流値を低減することができるという利点がある。なお、本実施例ではダブルゲート構造としているがトリプルゲート構造やそれ以上のゲート本数を持つマルチゲート構造でも良い。

【0108】また、電流制御用 T F T 2403 は図 6 (C) で示す n チャネル型 T F T 201 を用いて形成する。このとき、スイッチング用 T F T 2402 のドレイン線 35 は配線 36 によって電流制御用 T F T のゲート電極 37 に電氣的に接続されている。また、38 で示される配線は、スイッチング用 T F T 2402 のゲート電極 39a、39b を電氣的に接続するゲート線である。

【0109】このとき、電流制御用 T F T 2403 が本発明の構造であることは非常に重要な意味を持つ。電流制御用 T F T は E L 素子を通る電流量を制御するための素子であるため、多くの電流が流れ、熱による劣化やホットキャリアによる劣化の危険性が高い素子でもある。そのため、電流制御用 T F T にゲート電極と一部が重なる L D D 領域を設けることで T F T の劣化を防ぎ、動作の安定性を高めることができる。

【0110】また、本実施例では電流制御用 T F T 2403 をシングルゲート構造で図示しているが、複数の T F T を直列につなげたマルチゲート構造としても良い。さらに、複数の T F T を並列につなげて実質的にチャネル形成領域を複数に分割し、熱の放射を高い効率で行えるようにした構造としても良い。このような構造は熱による劣化対策として有効である。

【0111】また、図 19 (A) に示すように、電流制御用 T F T 2403 のゲート電極 37 となる配線は 2404 で示される領域で、電流制御用 T F T 2403 のドレイン線 40 と絶縁膜を介して重なる。このとき、2404 で示される領域ではコンデンサが形成される。このコンデンサ 2404 は電流制御用 T F T 2403 のゲートにかかる電圧を保持するためのコンデンサとして機能する。なお、ドレイン線 40 は電流供給線（電源線）2501 に接続され、常に一定の電圧が加えられている。

【0112】スイッチング用 T F T 2402 及び電流制御用 T F T 2403 の上には第 1 パッシベーション膜 41 が設けられ、その上に樹脂絶縁膜でなる平坦化膜 42 が形成される。平坦化膜 42 を用いて T F T による段差を平坦化することは非常に重要である。後に形成される発光層は非常に薄いため、段差が存在することによって発光不良を起こす場合がある。従って、発光層をできる

だけ平坦面に形成しうるように画素電極を形成する前に平坦化しておくことが望ましい。

【0113】また、43 は反射性の高い導電膜でなる画素電極（E L 素子の陰極）であり、電流制御用 T F T 2403 のドレインに電氣的に接続される。画素電極 43 としてはアルミニウム合金膜、銅合金膜または銀合金膜など低抵抗な導電膜またはそれらの積層膜を用いることが好ましい。勿論、他の導電膜との積層構造としても良い。また、絶縁膜（好ましくは樹脂）で形成されたバンク 44a、44b により形成された溝（画素に相当する）の中に発光層 44 が形成される。なお、ここでは一画素しか図示していないが、R（赤）、G（緑）、B（青）の各色に対応した発光層を作り分けても良い。発光層とする有機 E L 材料としては  $\pi$  共役ポリマー系材料を用いる。代表的なポリマー系材料としては、ポリパラフェニレンビニレン（P P V）系、ポリビニルカルバゾール（P V K）系、ポリフルオレン系などが挙げられる。尚、P P V 系有機 E L 材料としては様々な型のものがあるが、例えば「H. Shenk, H. Becker, O. Gelsen, E. Kluge, W. Kreuder, and H. Spreitzer, "Polymers for Light Emitting Diodes", Euro Display, Proceedings, 1999, p. 33-37」や特開平 10-92576 号公報に記載されたような材料を用いれば良い。

【0114】具体的な発光層としては、赤色に発光する発光層にはシアノポリフェニレンビニレン、緑色に発光する発光層にはポリフェニレンビニレン、青色に発光する発光層にはポリフェニレンビニレン若しくはポリアルキルフェニレンを用いれば良い。膜厚は 30 ~ 150 nm（好ましくは 40 ~ 100 nm）とすれば良い。但し、以上の例は発光層として用いることのできる有機 E L 材料の一例であって、これに限定する必要はまったくない。発光層、電荷輸送層または電荷注入層を自由に組み合わせて発光層（発光及びそのためのキャリアの移動を行わせるための層）を形成すれば良い。例えば、本実施例ではポリマー系材料を発光層として用いる例を示したが、低分子系有機 E L 材料を用いても良い。また、電荷輸送層や電荷注入層として炭化珪素等の無機材料を用いることも可能である。これらの有機 E L 材料や無機材料は公知の材料を用いることができる。

【0115】本実施例では発光層 45 の上に P E D O T（ポリチオフェン）または P A N i（ポリアニリン）でなる正孔注入層 46 を設けた積層構造の発光層としている。そして、正孔注入層 46 の上には透明導電膜でなる陽極 47 が設けられる。本実施例の場合、発光層 45 で生成された光は上面側に向かって（T F T の上方に向かって）放射されるため、陽極は透光性でなければならない。透明導電膜としては酸化インジウムと酸化スズとの化合物や酸化インジウムと酸化亜鉛との化合物を用いることができるが、耐熱性の低い発光層や正孔注入層を形成した後で形成するため、可能な限り低温で成膜できる



ものが好ましい。

【0116】陽極47まで形成された時点で自発光素子2405が完成する。なお、ここでのEL素子2405は、画素電極(陰極)43、発光層45、正孔注入層46及び陽極47で形成されたコンデンサを指す。図19(A)に示すように画素電極43は画素の面積にほぼ一致するため、画素全体がEL素子として機能する。従って、発光の利用効率が非常に高く、明るい画像表示が可能となる。

【0117】ところで、本実施例では、陽極47の上にさらに第2パッシベーション膜48を設けている。第2パッシベーション膜48としては窒化珪素膜または窒化酸化珪素膜が好ましい。この目的は、外部とEL素子とを遮断することであり、有機EL材料の酸化による劣化を防ぐ意味と、有機EL材料からの脱ガスを抑える意味との両方を併せ持つ。これによりEL表示装置の信頼性が高められる。

【0118】以上のように本願発明のEL表示パネルは図19のような構造の画素からなる画素部を有し、オフ電流値の十分に低いスイッチング用TFTと、ホットキャリア注入に強い電流制御用TFTとを有する。従って、高い信頼性を有し、且つ、良好な画像表示が可能なEL表示パネルが得られる。

【0119】図18(B)は発光層の構造を反転させた例を示す。電流制御用TFT2601は図6(B)のpチャネル型TFT200を用いて形成される。作製プロセスは実施例1を参照すれば良い。本実施例では、画素電極(陽極)50として透明導電膜を用いる。具体的には酸化インジウムと酸化亜鉛との化合物でなる導電膜を用いる。勿論、酸化インジウムと酸化スズとの化合物でなる導電膜を用いても良い。

【0120】そして、絶縁膜でなるバンク51a、51bが形成された後、溶液塗布によりポリビニルカルバゾールでなる発光層52が形成される。その上にはカリウムアセチルアセトネート(acacKと表記される)でなる電子注入層53、アルミニウム合金でなる陰極54が形成される。この場合、陰極54がパッシベーション膜としても機能する。こうしてEL素子2602が形成される。本実施例の場合、発光層53で発生した光は、矢印で示されるようにTFTが形成された基板の方に向かって放射される。本実施例のような構造とする場合、電流制御用TFT2601はpチャネル型TFTで形成することが好ましい。

【0121】尚、本実施例の構成は、実施例1~2のTFTの構成を自由に組み合わせて実施することが可能である。また、実施例8の電子機器の表示部として本実施例のEL表示パネルを用いることは有効である。

【0122】[実施例6]本実施例では、図19(B)に示した回路図とは異なる構造の画素とした場合の例について図20に示す。なお、本実施例において、2701 50

はスイッチング用TFT2702のソース配線、2703はスイッチング用TFT2702のゲート配線、2704は電流制御用TFT、2705はコンデンサ、2706、2708は電流供給線、2707はEL素子とする。

【0123】図20(A)は、二つの画素間で電流供給線2706を共通とした場合の例である。即ち、二つの画素が電流供給線2706を中心に線対称となるように形成されている点に特徴がある。この場合、電源供給線の本数を減らすことができるため、画素部をさらに高精細化することができる。

【0124】また、図20(B)は、電流供給線2708をゲート配線2703と平行に設けた場合の例である。尚、図20(B)では電流供給線2708とゲート配線2703とが重ならないように設けた構造となっているが、両者が異なる層に形成される配線であれば、絶縁膜を介して重なるように設けることもできる。この場合、電源供給線2708とゲート配線2703とで専有面積を共有させることができるため、画素部をさらに高精細化することができる。

【0125】また、図20(C)は、図20(B)の構造と同様に電流供給線2708をゲート配線2703と平行に設け、さらに、二つの画素を電流供給線2708を中心に線対称となるように形成する点に特徴がある。また、電流供給線2708をゲート配線2703のいずれか一方と重なるように設けることも有効である。この場合、電源供給線の本数を減らすことができるため、画素部をさらに高精細化することができる。図20

(A)、図20(B)では電流制御用TFT2403のゲートにかかる電圧を保持するためにコンデンサ2404を設ける構造としているが、コンデンサ2404を省略することも可能である。

【0126】電流制御用TFT2403として図18(A)に示すような本願発明のnチャネル型TFTを用いているため、ゲート絶縁膜を介してゲート電極(と重なるように設けられたLDD領域を有している。この重なり合った領域には一般的にゲート容量と呼ばれる寄生容量が形成されるが、本実施例ではこの寄生容量をコンデンサ2404の代わりとして積極的に用いる点に特徴がある。この寄生容量のキャパシタンスは上記ゲート電極とLDD領域とが重なり合った面積で変化するため、その重なり合った領域に含まれるLDD領域の長さによって決まる。また、図20(A)、(B)、(C)の構造においても同様にコンデンサ2705を省略することは可能である。

【0127】尚、本実施例の構成は、実施例1~2のTFTの構成を自由に組み合わせて実施することが可能である。また、実施例8の電子機器の表示部として本実施例のEL表示パネルを用いることは有効である。

【0128】[実施例7]本実施例では、本発明のTFT

回路によるアクティブマトリクス型液晶表示装置を組み込んだ半導体装置について図 21、図 22、図 23 で説明する。

【0129】このような半導体装置には、携帯情報端末（電子手帳、モバイルコンピュータ、携帯電話等）、ビデオカメラ、スチルカメラ、パーソナルコンピュータ、テレビ等が挙げられる。それらの一例を図 21 と図 22 に示す。

【0130】図 21 (A) は携帯電話であり、本体 9001、音声出力部 9002、音声入力部 9003、表示装置 9004、操作スイッチ 9005、アンテナ 9006 から構成されている。本願発明は音声出力部 9002、音声入力部 9003、及びアクティブマトリクス基板を備えた表示装置 9004 に適用することができる。

【0131】図 21 (B) はビデオカメラであり、本体 9101、表示装置 9102、音声入力部 9103、操作スイッチ 9104、バッテリー 9105、受像部 9106 から成っている。本願発明は及びアクティブマトリクス基板を備えた表示装置 9102、受像部 9106 に適用することができる。

【0132】図 21 (C) はモバイルコンピュータ或いは携帯型情報端末であり、本体 9201、カメラ部 9202、受像部 9203、操作スイッチ 9204、表示装置 9205 で構成されている。本願発明は受像部 9203、及びアクティブマトリクス基板を備えた表示装置 9205 に適用することができる。

【0133】図 21 (D) はヘッドマウントディスプレイであり、本体 9301、表示装置 9302、アーム部 9303 で構成される。本願発明は表示装置 9302 に適用することができる。また、表示されていないが、その他の駆動回路に使用することもできる。

【0134】図 21 (E) はテレビであり、本体 9401、スピーカー 9402、表示装置 9403、受信装置 9404、増幅装置 9405 等で構成される。実施例 5 で示す液晶表示装置や、実施例 6 または 7 で示す EL 表示装置は表示装置 9403 に適用することができる。

【0135】図 21 (F) は携帯書籍であり、本体 9501、表示装置 9502、9503、記憶媒体 9504、操作スイッチ 9505、アンテナ 9506 から構成されており、ミニディスク (MD) や DVD に記憶されたデータや、アンテナで受信したデータを表示するものである。表示装置 9502、9503 は直視型の表示装置であり、本発明はこの適用することができる。

【0136】図 22 (A) はパーソナルコンピュータであり、本体 9601、画像入力部 9602、表示装置 9603、キーボード 9604 で構成される。

【0137】図 22 (B) はプログラムを記録した記録媒体（以下、記録媒体と呼ぶ）を用いるプレーヤーであり、本体 9701、表示装置 9702、スピーカ部 9703、記録媒体 9704、操作スイッチ 9705 で構成

される。なお、この装置は記録媒体として DVD (Digital Versatile Disc)、CD 等を用い、音楽鑑賞や映画鑑賞やゲームやインターネットを行うことができる。

【0138】図 22 (C) はデジタルカメラであり、本体 9801、表示装置 9802、接眼部 9803、操作スイッチ 9804、受像部（図示しない）で構成される。

【0139】図 23 (A) はフロント型プロジェクターであり、表示装置 3601、スクリーン 3602 で構成される。本発明は表示装置やその他の駆動回路に適用することができる。

【0140】図 23 (B) はリア型プロジェクターであり、本体 3701、投射装置 3702、ミラー 3703、スクリーン 3704 で構成される。本発明は表示装置やその他の駆動回路に適用することができる。

【0141】なお、図 23 (C) は、図 23 (A) 及び図 23 (B) 中における投射装置 3601、3702 の構造の一例を示した図である。投射装置 3601、3702 は、光源光学系 3801、ミラー 3802、3804～3806、ダイクロックミラー 3803、プリズム 3807、液晶表示装置 3808、位相差板 3809、投射光学系 3810 で構成される。投射光学系 3810 は、投射レンズを含む光学系で構成される。本実施例は三板式の例を示したが、特に限定されず、例えば単板式であってもよい。また、図 23 (C) 中において矢印で示した光路に実施者が適宜、光学レンズや、偏光機能を有するフィルムや、位相差を調節するためのフィルム、IR フィルム等の光学系を設けてもよい。

【0142】また、図 23 (D) は、図 23 (C) 中における光源光学系 3801 の構造の一例を示した図である。本実施例では、光源光学系 3801 は、リフレクター 3811、光源 3812、レンズアレイ 3813、3814、偏光変換素子 3815、集光レンズ 3816 で構成される。なお、図 23 (D) に示した光源光学系は一例であって特に限定されない。例えば、光源光学系に実施者が適宜、光学レンズや、偏光機能を有するフィルムや、位相差を調節するフィルム、IR フィルム等の光学系を設けてもよい。

【0143】また、本発明はその他にも、イメージセンサや EL 型表示素子に適用することも可能である。このように、本願発明の適用範囲はきわめて広く、あらゆる分野の電子機器に適用することが可能である。

【0144】[実施例 8] 本発明の有効性を確認するため、非金属元素 (B、Si、P、As、He、Ne、Ar、Kr、Xe から選ばれた 1 種または複数種) のうち、アルゴン (Ar) を用い、以下の実験を行った。

【0145】半導体膜は 50nm の非晶質シリコン膜に 10ppm の酢酸ニッケル含有水溶液を塗布した後、500℃にて 1 時間の脱水素処理と、550℃にて 4 時間の加

熱処理により結晶化させた結晶質半導体膜を用いた。この結晶化半導体膜をパターニングした後、90nmの酸化珪素膜を形成した。そして、ゲッタリングサイトにリンをイオンドープ法で注入した試料、リンを注入した後にアルゴンを注入した試料、アルゴンのみを注入した試料をそれぞれ作製し、これらを比較評価した。この時、リンの注入条件は、水素で希釈された5%の $\text{PH}_3$ を用い、加速電圧80keV、ドーズ量 $1.5 \times 10^{15}/\text{cm}^2$ とした。注入に要する時間は約8分であり、結晶質半導体膜には平均濃度で $2 \times 10^{18}/\text{cm}^3$ のリンを注入することができる。一方、アルゴンは90keVの加速電圧で、 $2 \times 10^{15}$ または $4 \times 10^{15}/\text{cm}^2$ のドーズ量で注入した。アルゴンは99.9999%以上のものを用い、注入に要する時間は1~2分であった。

【0146】ゲッタリングは窒素雰囲気中、550℃にて4時間の加熱処理をもって行った。ゲッタリング後、酸化珪素膜を除去した後、FPMで処理した。ゲッタリングの効果は、結晶質半導体膜の被ゲッタリング領域におけるエッチピットの数により確認した。即ち、添加したニッケルの大部分はニッケルシリサイドとして結晶質半導体膜に残存するが、これはFPM（フッ酸、過酸化水素水、純水の混合液）によりエッチングされることが知られている。従って、被ゲッタリング領域をFPMで処理してエッチピットの有無を確認することにより、ゲッタリングの効果を確認することができる。この場合、エッチピットの数が少ない程、ゲッタリングの効果が高いことを意味する。図25にエッチピットが形成された試料の簡略図を示す。なお、図25中、ドープ領域10401とはアルゴンまたはリンが添加された領域を示している。ゲッタリングされた領域（被ゲッタリング領域）10402に存在するエッチピット10403の数を光学顕微鏡で見ながらカウントしてエッチピット密度を得た。

【0147】図24にその結果を示す。図24において、Pと示した試料は、リンのみを添加した試料であり、この試料のリンの注入条件は、水素で希釈された5%の $\text{PH}_3$ を用い、加速電圧80keV、ドーズ量 $1.5 \times 10^{15}/\text{cm}^2$ とした。また、図24において、P+Ar（1min）と示した試料は、リンとアルゴンとを添加した試料であり、この試料のリンの注入条件は、水素で希釈された5%の $\text{PH}_3$ を用い、加速電圧80keV、ドーズ量 $1.5 \times 10^{15}/\text{cm}^2$ とし、アルゴンの注入条件は、90keVの加速電圧で、 $2 \times 10^{15}/\text{cm}^2$ のドーズ量とし、アルゴンの注入に要す

る時間を2分としたものである。また、図24において、Arと示した試料は、アルゴンのみを添加した試料であり、この試料のアルゴンの注入条件は、90keVの加速電圧で、 $2 \times 10^{15}/\text{cm}^2$ のドーズ量とした。

【0148】図24の実験結果より、リンのみを添加した試料が $3.5 \times 10^{-3}$ 個/ $\mu\text{m}^2$ のエッチピット密度であるのに対し、アルゴンを添加してゲッタリングした試料はエッチピットの数 $5 \times 10^{-4}$ 個/ $\mu\text{m}^2$ 以下であり、その数が極端に減少していることが解る。この結果は、アルゴンを注入することによりゲッタリングの効果が極端に高められることを意味し、本発明の非金属元素（B、Si、P、As、He、Ne、Ar、Kr、Xeから選ばれた1種または複数種）を用いたゲッタリングが極めて有効であることを示している。

【0149】

【発明の効果】本発明により、珪素を主成分とする結晶質半導体薄膜に含まれる金属をゲッタリングする際の、ゲッタリングの効率および効果のうち少なくともひとつを改善する。本明細書において、ゲッタリングの効率を改善するとは、素子活性領域に含まれる金属の量を軽減するための熱供給量（＝温度×時間）を少なくすることとする。また、本明細書において、ゲッタリングの効果を改善するとは、熱供給量が同じであっても、素子活性領域の被ゲッタリング金属の残留量をより少なくすることとする。

【0150】

【図面の簡単な説明】

【図1】本発明の半導体薄膜の結晶化とゲッタリングの模式図。

【図2】本発明のゲッタリングの際に形成する、半導体薄膜と酸化珪素膜の島状物の模式図。

【図3】本発明のゲッタリングの際に形成する、半導体薄膜と酸化珪素膜の島状物の模式図。

【図4】画素TFT、駆動回路のTFTの作製工程を示す断面図。

【図5】画素TFT、駆動回路のTFTの作製工程を示す断面図。

【図6】画素TFT、駆動回路のTFTの作製工程を示す断面図。

【図7】画素TFT、駆動回路のTFTの作製工程を示す断面図。

【図8】駆動回路のTFTと画素TFTの構造を示す上面図。

【図9】駆動回路のTFTと画素TFTの構造を示す断面図。

【図10】画素TFT、駆動回路のTFTの作製工程を示す断面図。

【図11】画素TFT、駆動回路のTFTの作製工程を示す断面図。

【図12】アクティブマトリクス型液晶表示装置の作

製工程を示す断面図。

【図 13】 アクティブマトリクス型液晶表示装置の構成を示す断面図。

【図 14】 液晶表示装置の入力端子、配線、回路配置、スペーサ、シール剤の配置を説明する上面図。

【図 15】 液晶表示装置の構成を説明する斜視図。

【図 16】 画素部の画素を示す上面図。

【図 17】 EL 表示装置の構造を示す上面図及び断面図。

【図 18】 EL 表示装置の画素部の断面図。

【図 19】 EL 表示装置の画素部の上面図と回路図。

【図 20】 EL 表示装置の画素部の回路図の例。

【図 21】 半導体装置の一例を示す図。

【図 22】 半導体装置の一例を示す図。

【図 23】 プロジェクターの一例を示す図。

【図 24】 ゲッタリング後の FPM 処理により観察されるエッチピット密度 (個/ $\mu\text{m}^2$ ) を示すグラフ。

【図 25】 ゲッタリング後の FPM 処理により観察されるエッチピットを示す簡略図。

【符号の説明】

10101…絶縁膜基板。ガラス基板、石英基板など。  
10102…珪素を主成分とする非晶質構造を有する半導体薄膜

10103…酢酸 Ni 水溶液

10104…島状の絶縁膜

10106…非金属元素または該非金属元素のイオンが添加された領域

10107…珪素を主成分とする結晶質半導体薄膜

10108…非金属元素または非金属元素のイオンが添加された領域と添加されない領域との境界面。

10109…非金属元素または該非金属元素のイオンが添加された領域

10110…Ni が移動する方向

10201…島状の絶縁膜

10202…珪素を主成分とする結晶質半導体薄膜の表面と平行な面

10203…珪素を主成分とする結晶質半導体薄膜の表面

10204…非金属元素または該非金属元素のイオンが添加された領域

10205…非金属元素または該非金属元素のイオンが添加された領域

10206…珪素を主成分とする結晶質半導体薄膜

10207…絶縁膜基板。ガラス基板、石英基板など。

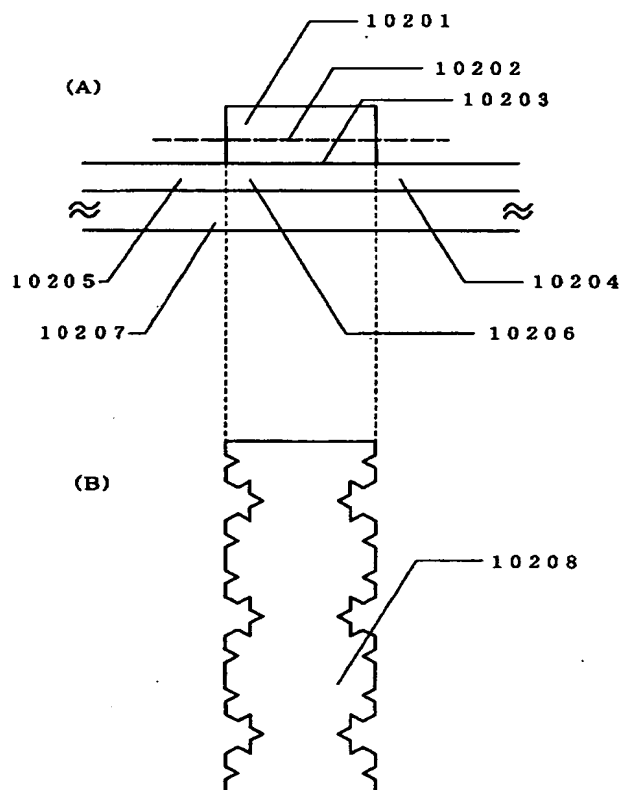
10208…珪素を主成分とする結晶質半導体薄膜の表面と平行な面に対する島状の絶縁膜の形状。

10301…島状の絶縁膜

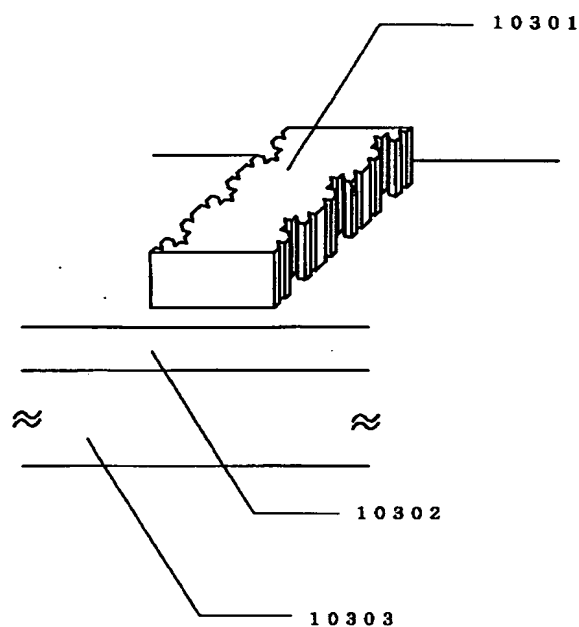
10302…珪素を主成分とする結晶質半導体薄膜

10303…絶縁膜基板。ガラス基板、石英基板など。

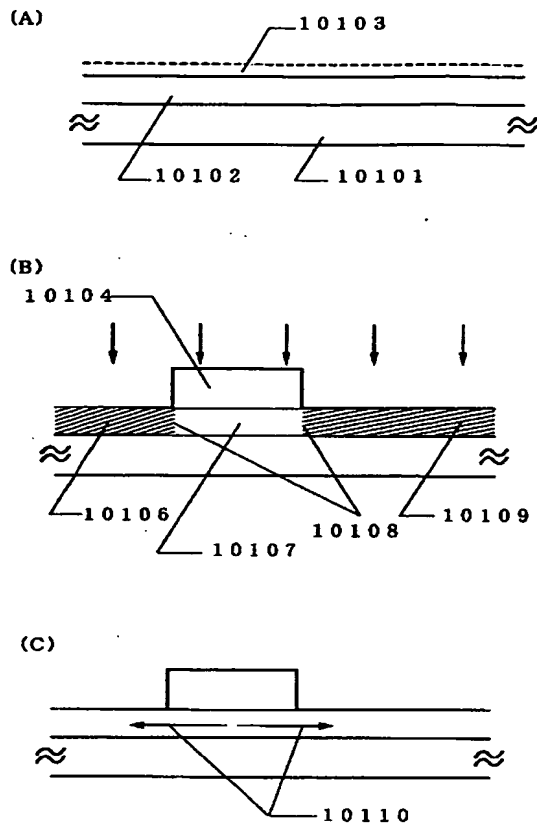
【図 2】



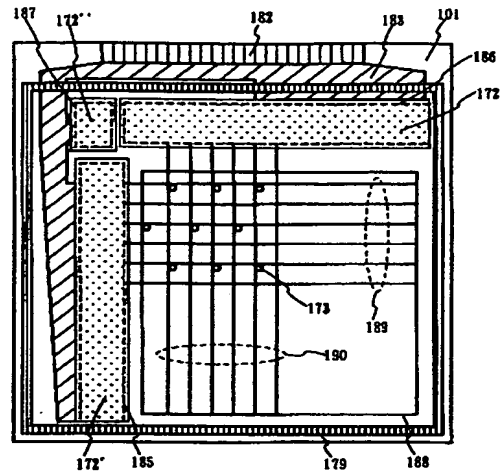
【図 3】



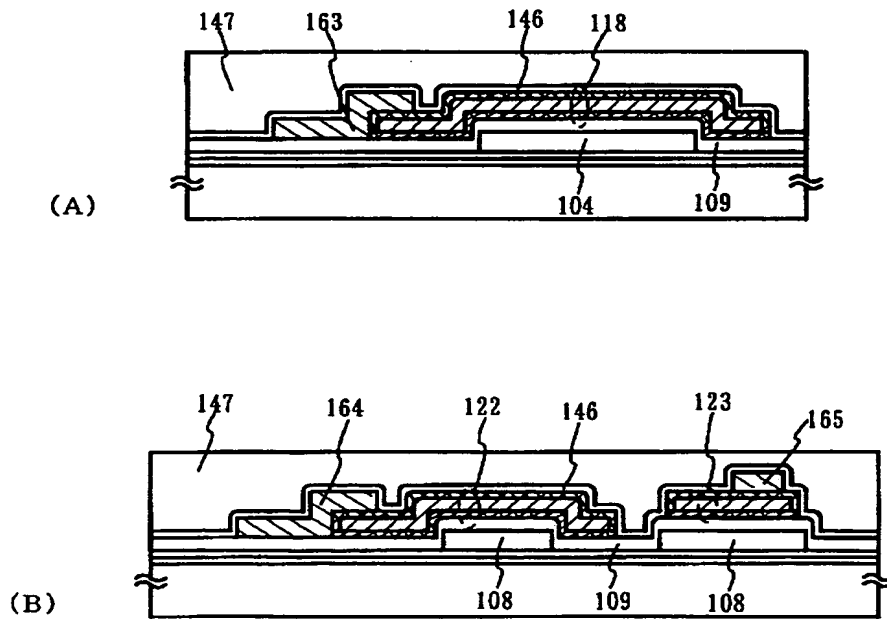
【図 1】



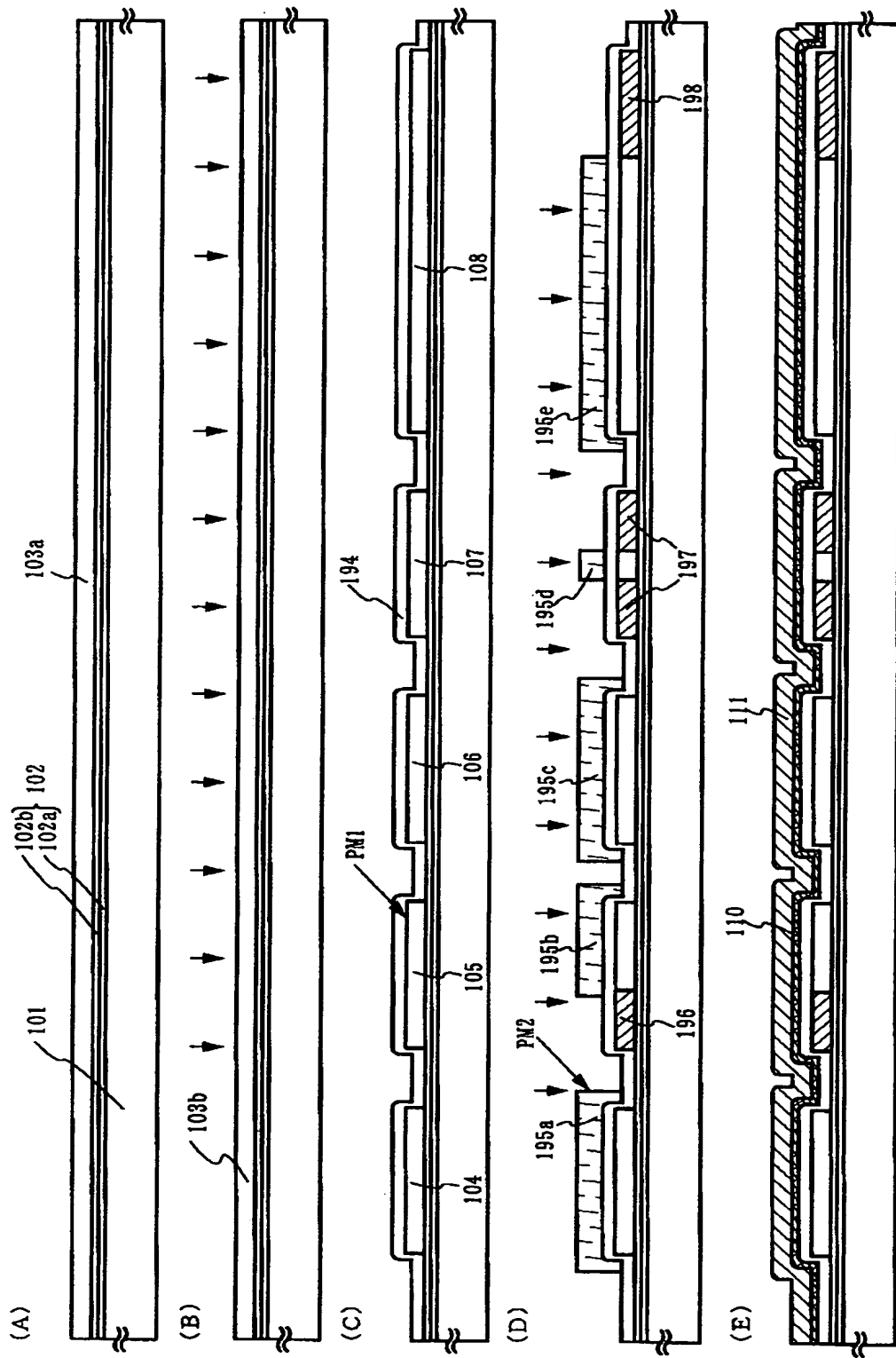
【図 14】



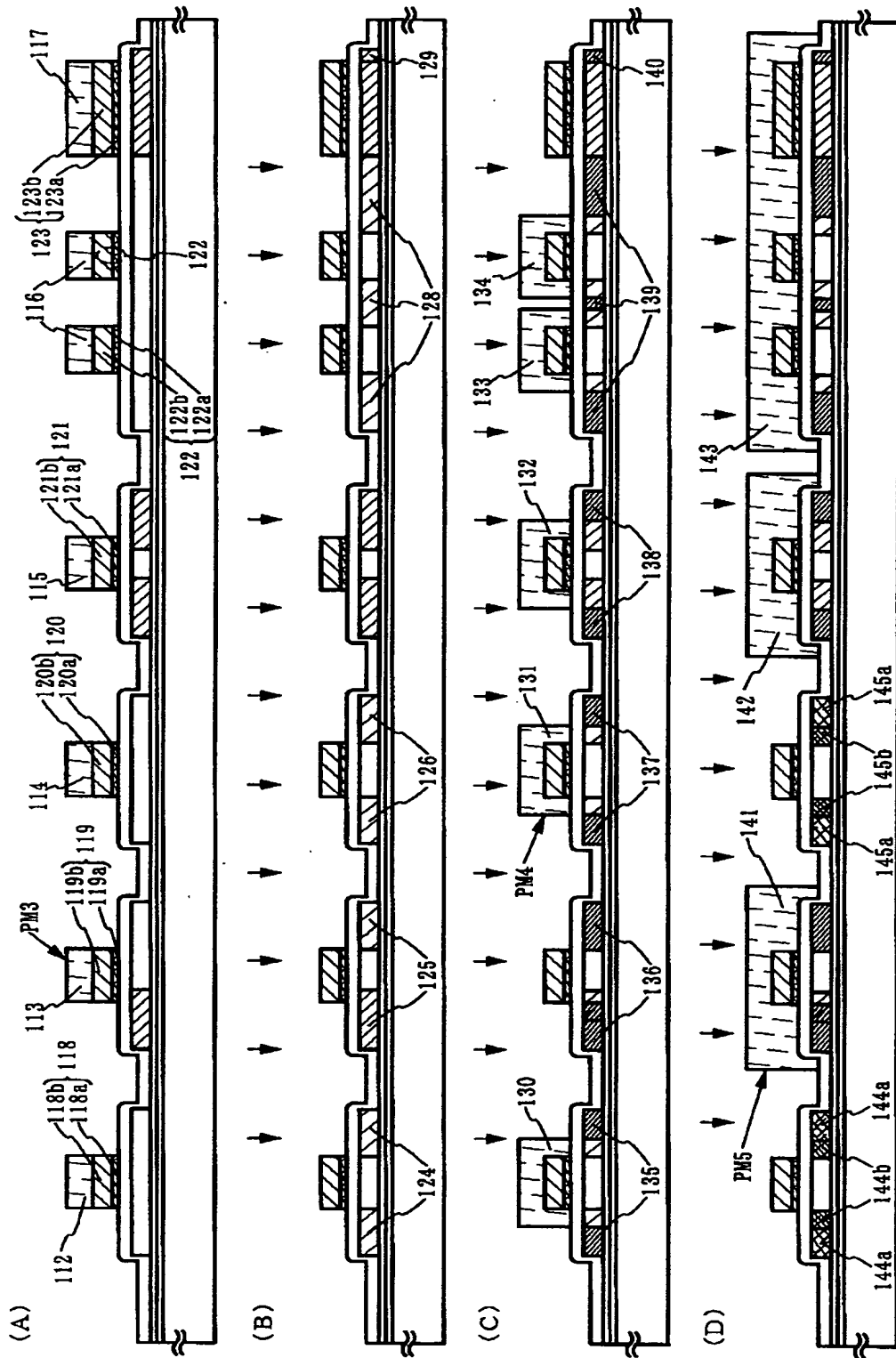
【図 9】



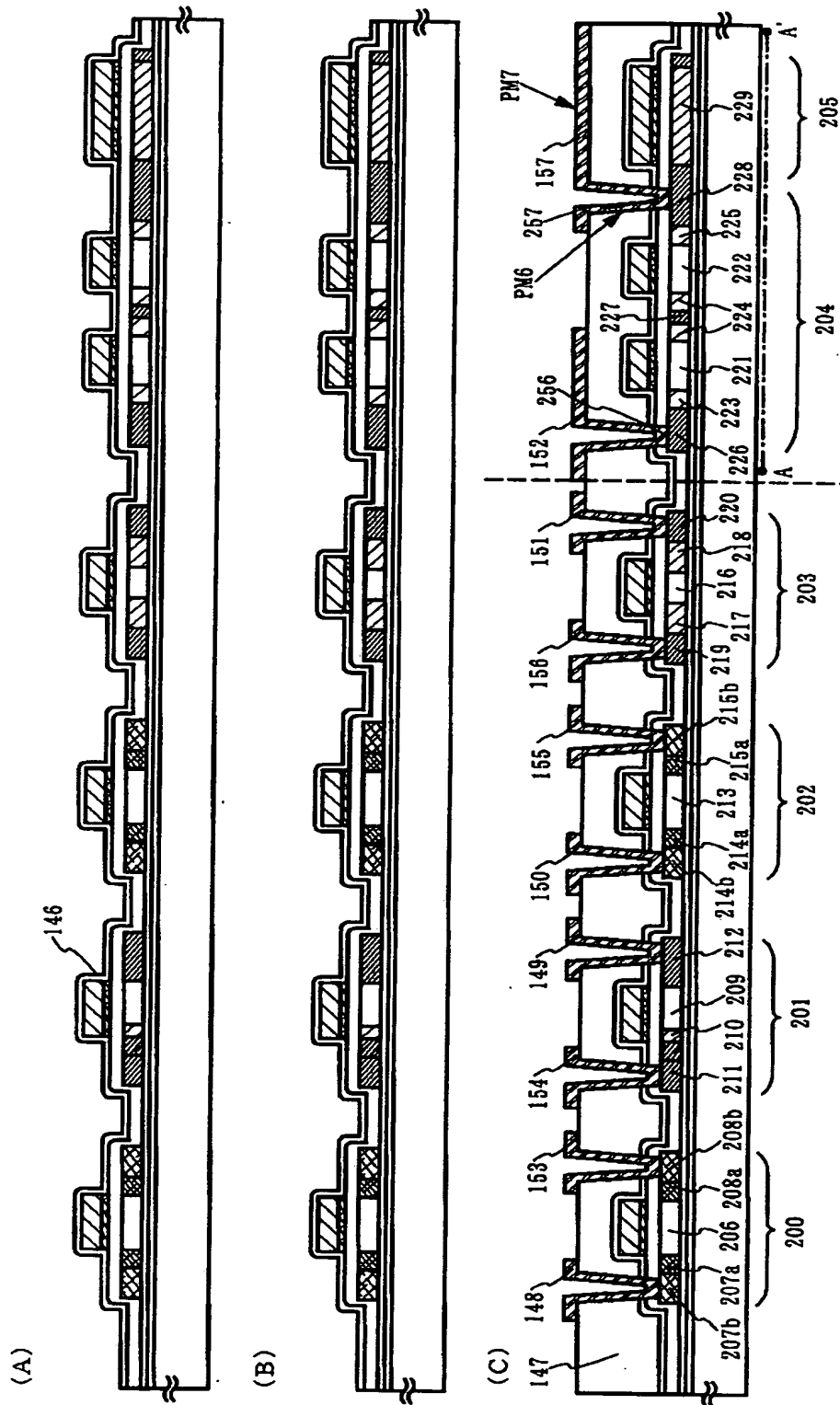
【図 4】



【図5】

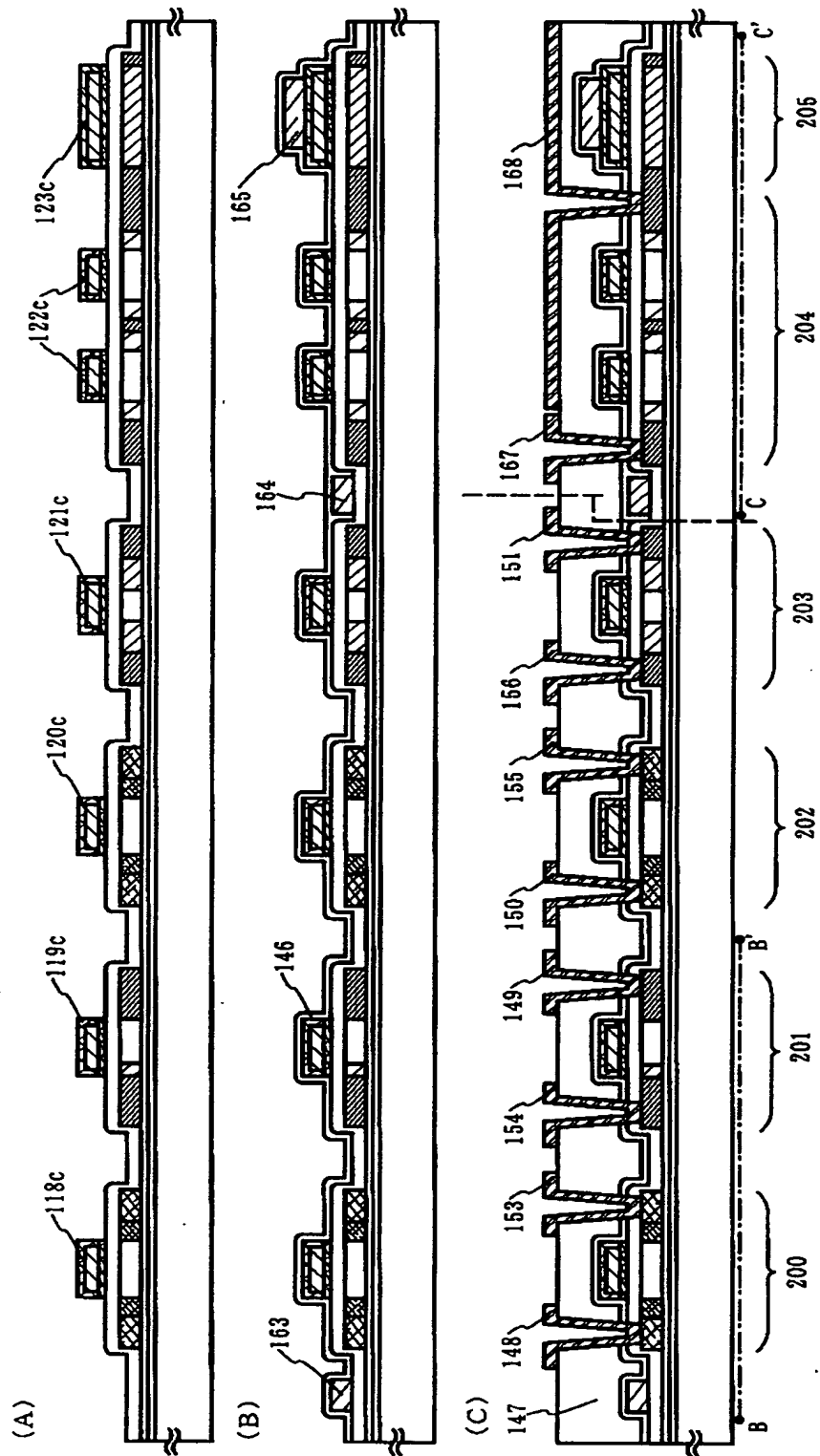


【図 6】

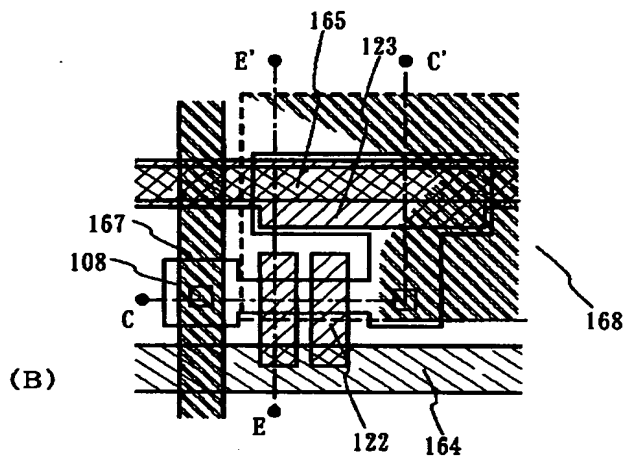
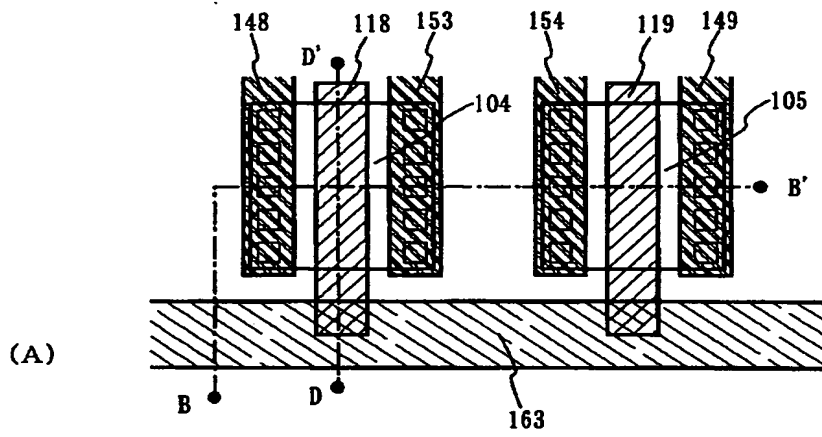




【図 7】



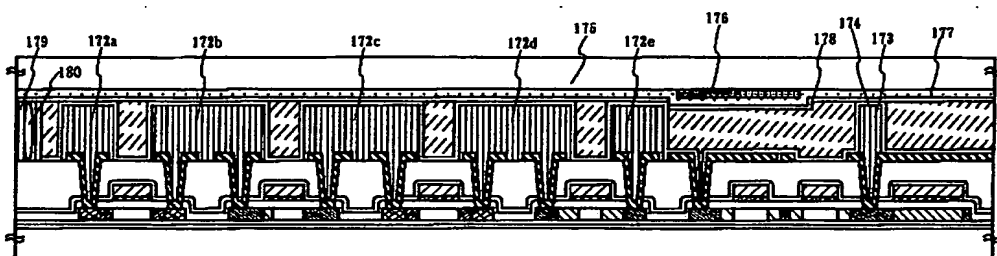
【図 8】



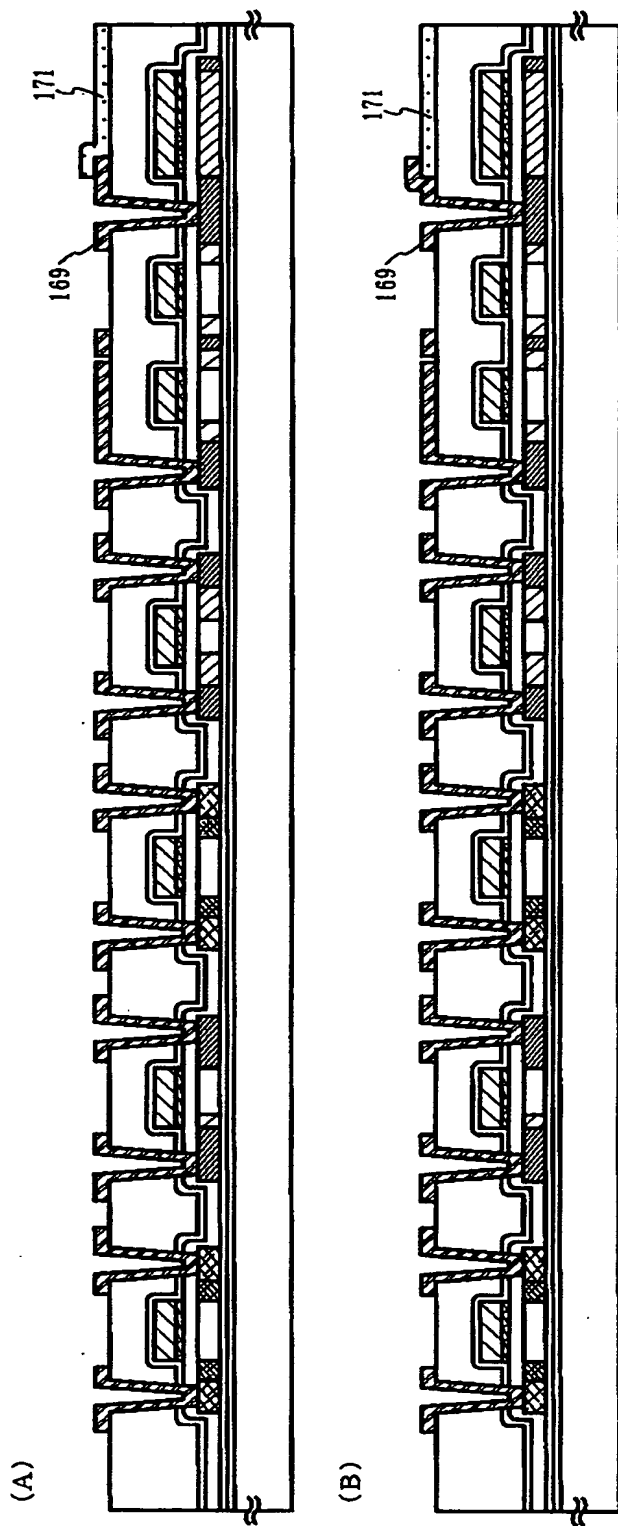
【図 10】



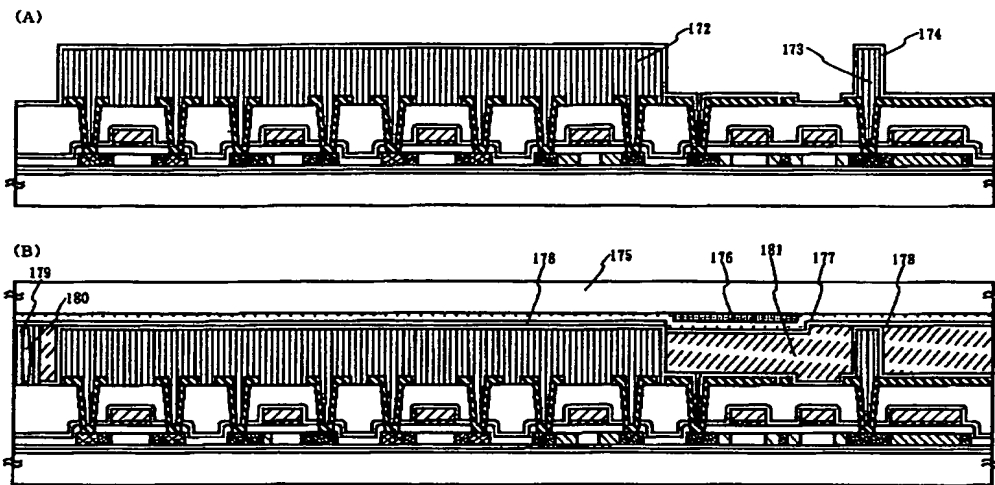
【図 13】



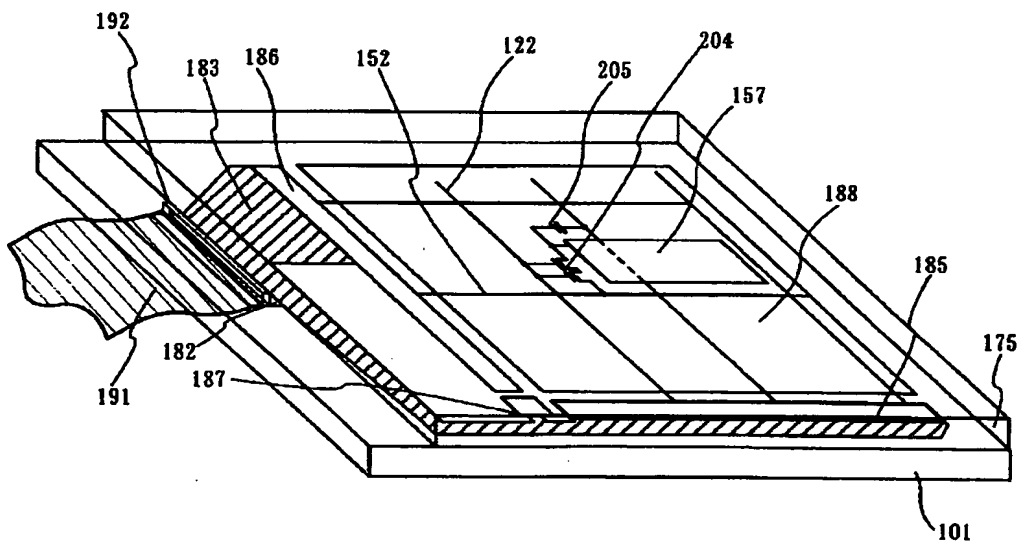
【図 11】



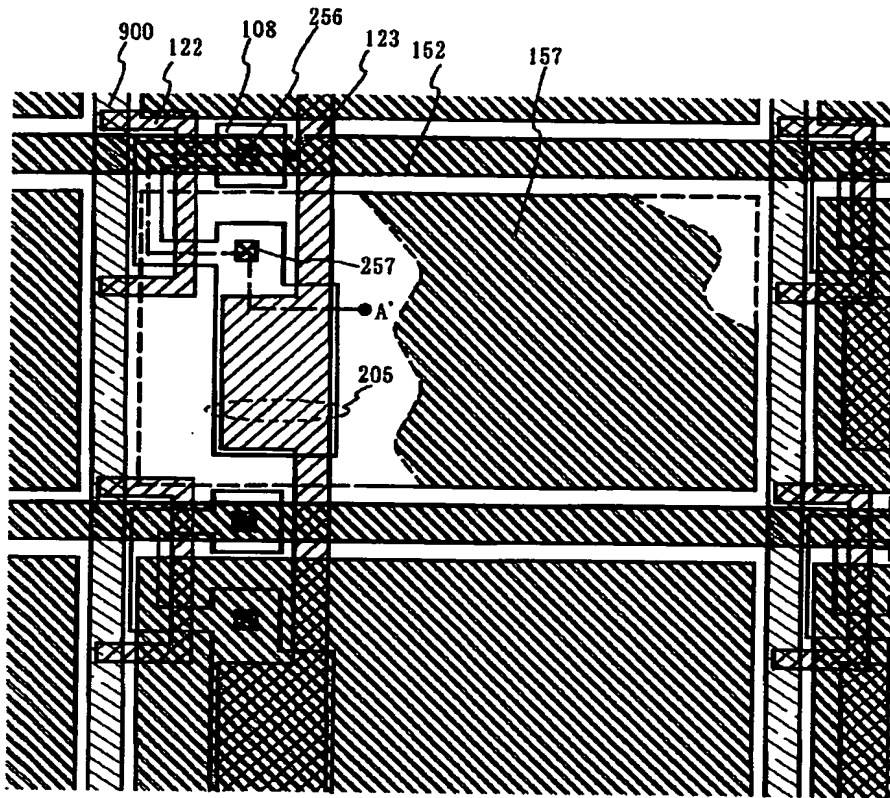
【図12】



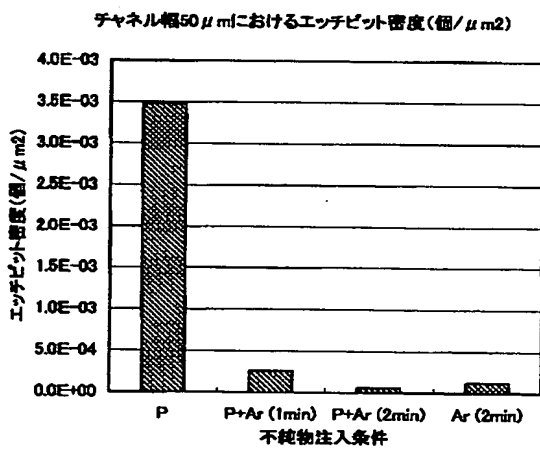
【図15】



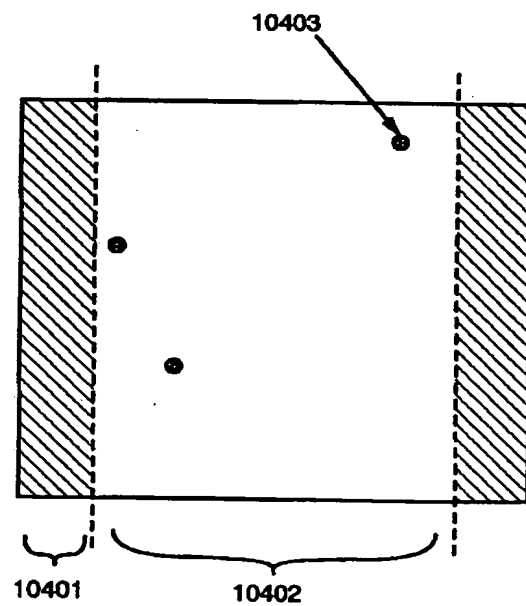
【図16】



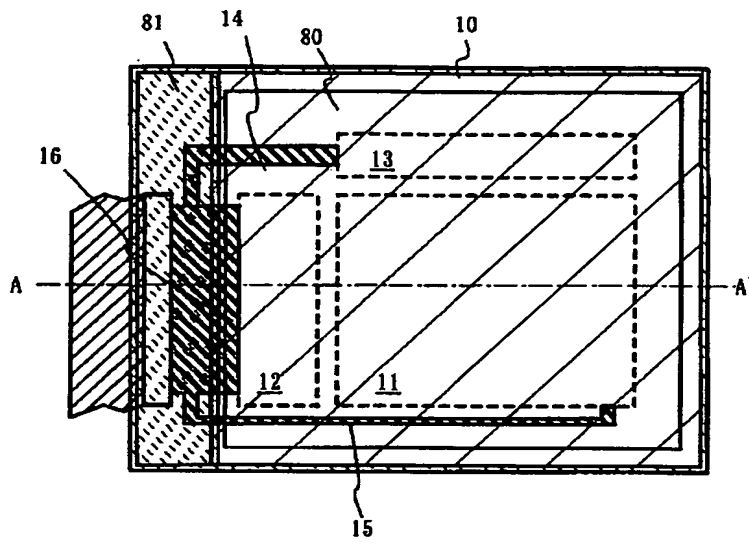
【図24】



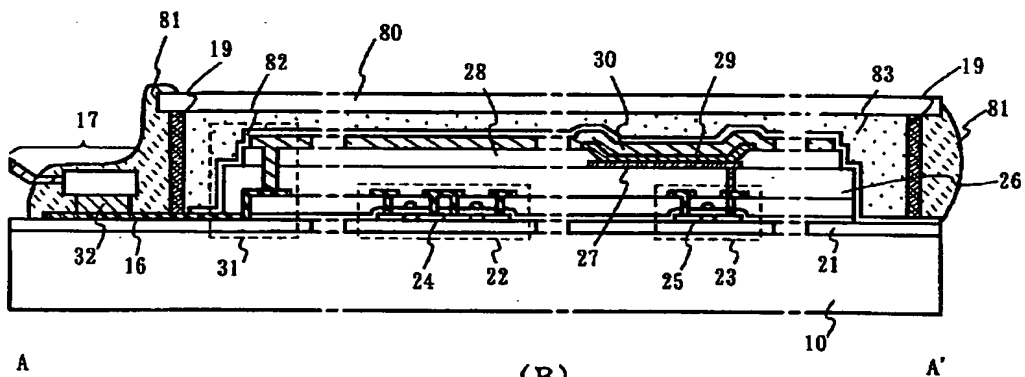
【図25】



【図 17】

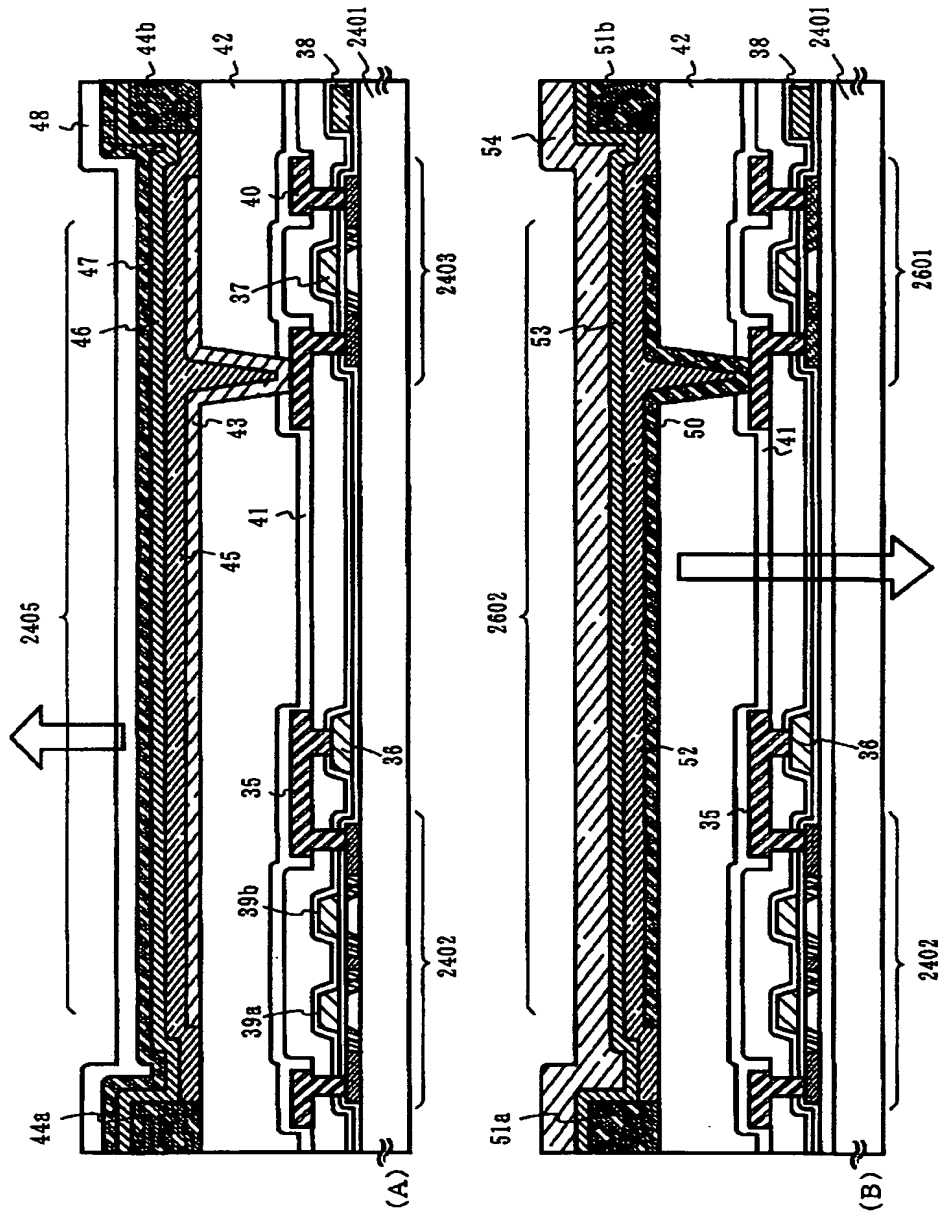


(A)

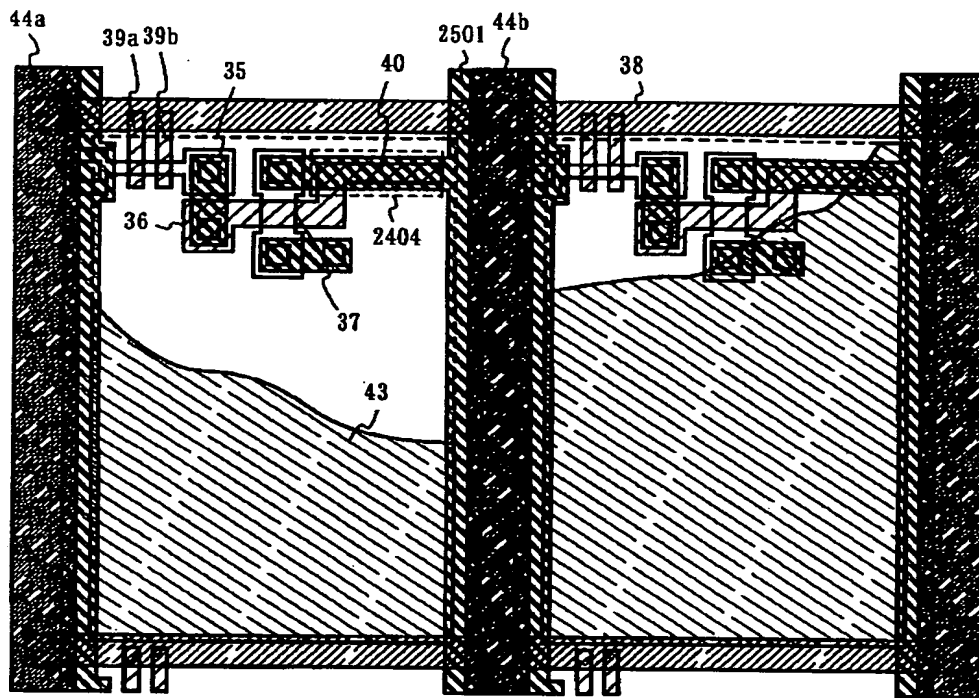


(B)

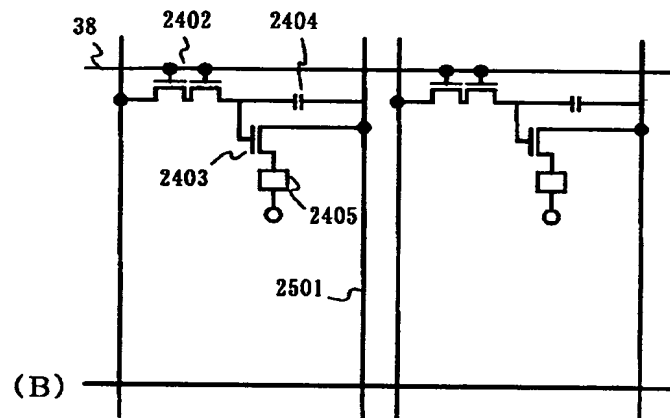
【図 18】



【図 19】



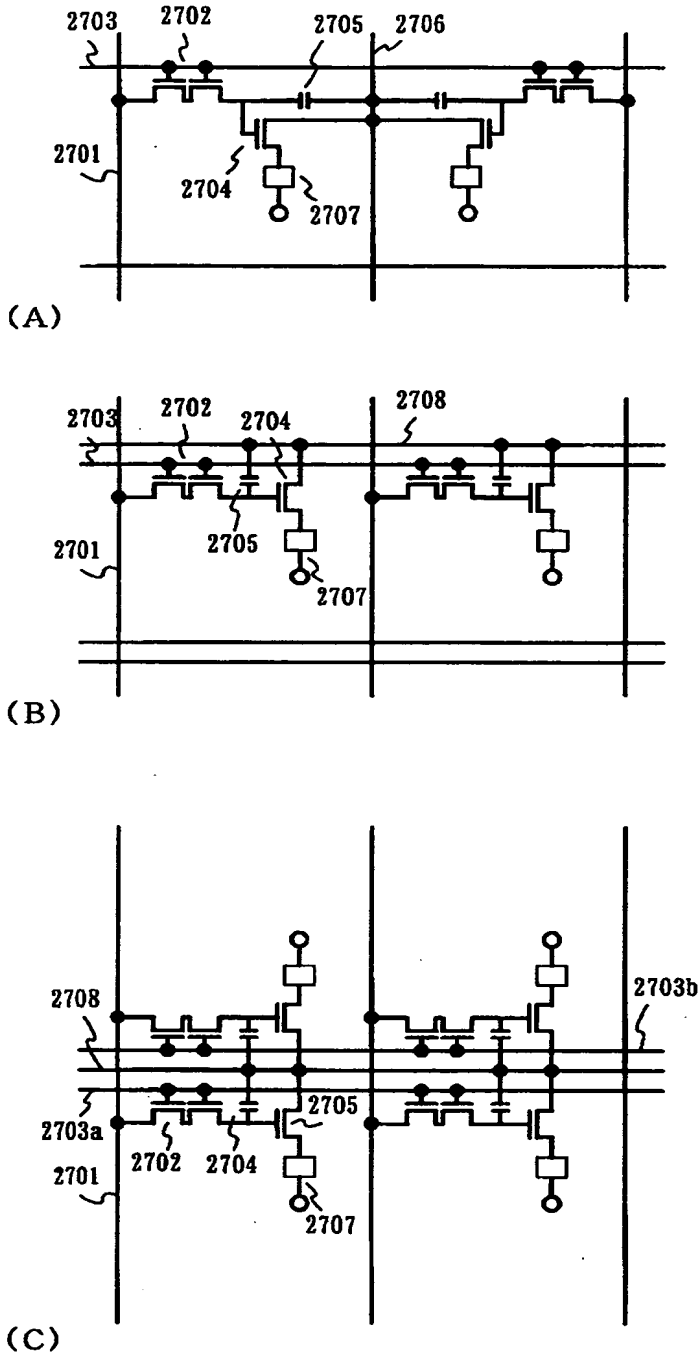
(A)



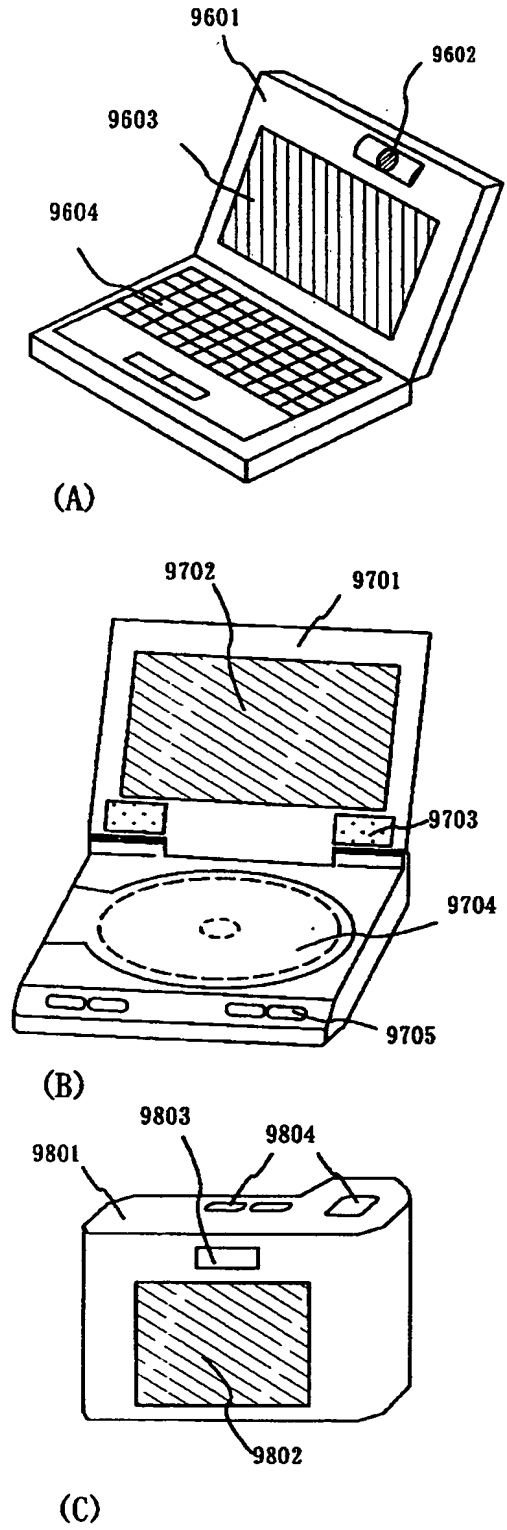
(B)



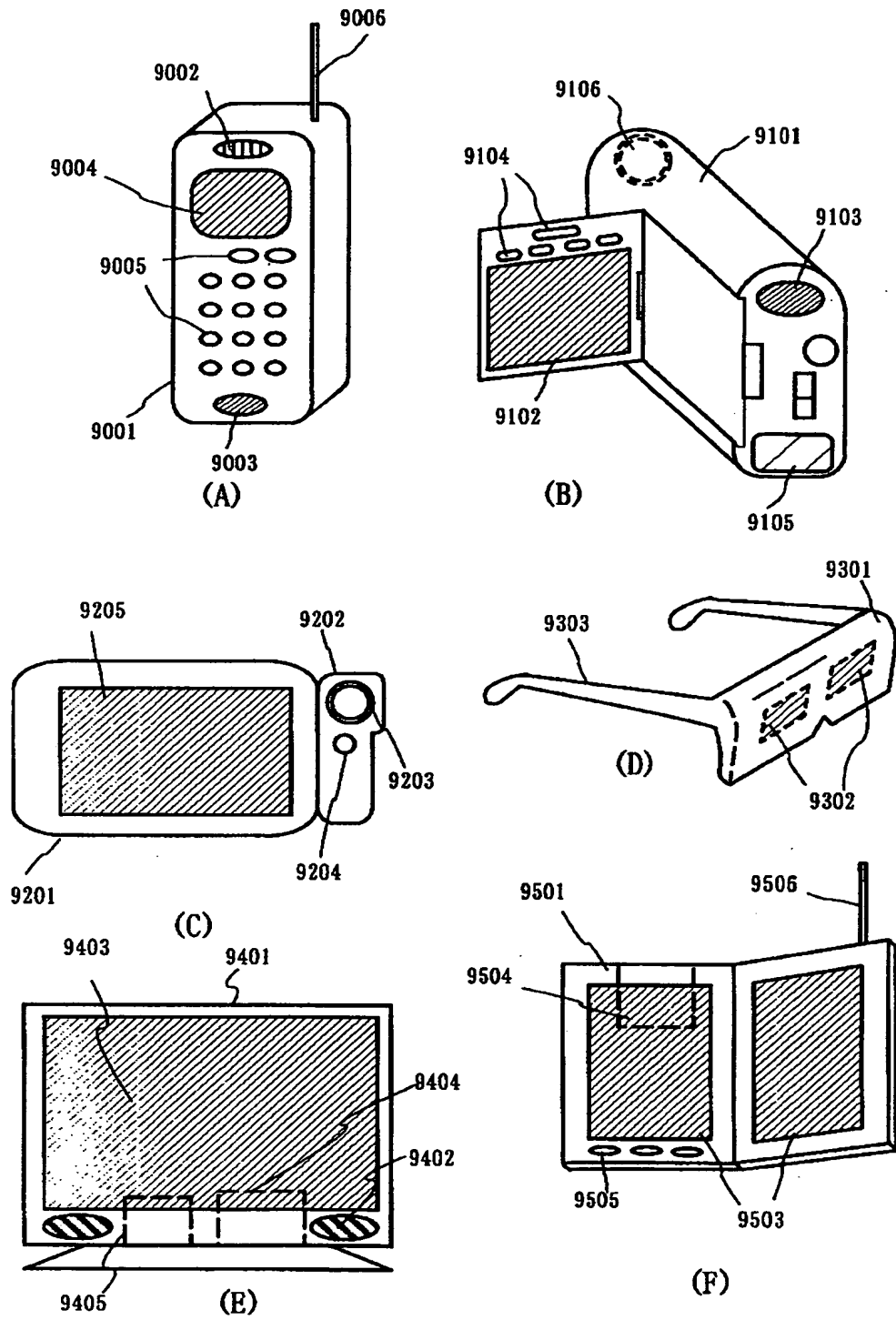
【図 20】



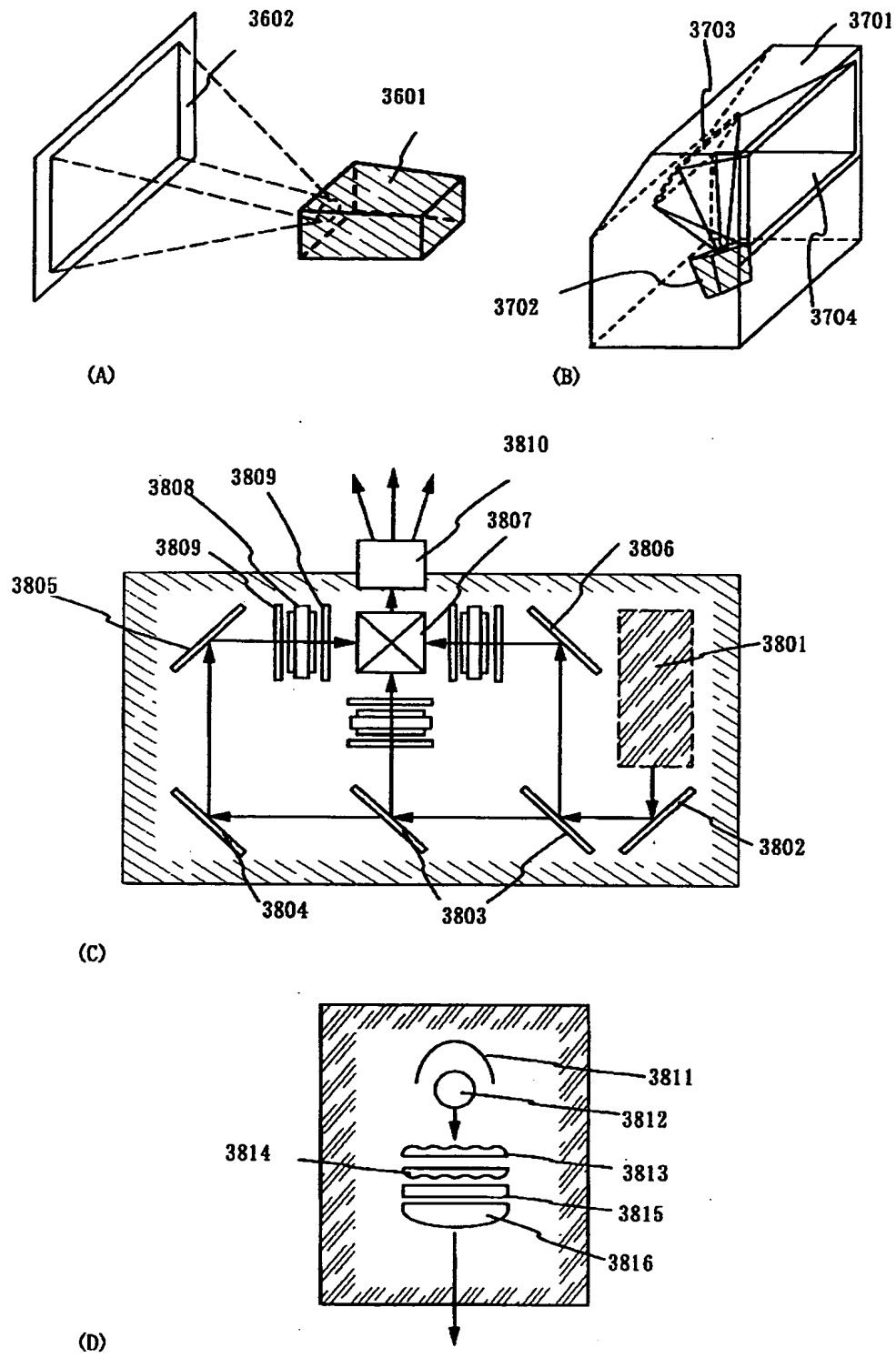
【図 22】



【図 21】



【図 23】



フロントページの続き

(51) Int. Cl.

H01L 21/336

識別記号

F I

H01L 29/78

ターマコード (参考)

627G